3. Circuite integrate realizate în seria CMOS 4000 (MMC 4XXX)

În acest capitol se prezintă circuitele CMOS fabricate în seria 4000.

Sînt valabile următoarele observații cu caracter general, pentru toate tipurile de circuite prezentate:

• Se prezintă scheme logice, asignarea terminalelor și se descrie funcționarea fiecărui tip de circuit; nu vor fi prezentate caracteristicile electrice statice și dinamice: acestea sînt specificate pentru fiecare tip de circuit în catalogul de produse **Microelectronica Data Book, MOS and Optoelectronic Devices, 1985.**

• Caracteristicile electrice statice ale seriei CMOS 4000 sînt descrise în capitolul 2 al acestei cărți și se aplică tuturor tipurilor de circuite.

• Toate capsulele sînt desenate presupunînd că *vederea este de sus* (*top view*).

• *Toate intrările circuitelor CMOS din seria 4000 sînt protejate la descărcările electrostatice* printr-o rețea de protecție standard (§ 2.5); doar circuitele MMC 4049 și MMC 4050 au alt tip de rețea de protecție.

• Caracteristicile de ieșire sînt simetrice (adică valori egale pentru curentul de ieșire în starea **1** logic — I_{OH} și pentru curentul de ieșire în starea **0** logic — I_{OL}); acest lucru asigură fronturi uniforme și timpi de propagare t_{pHL}, t_{pLH} egali.

• Marginea de zgomot în toată gama de temperatură garantată este de:

1 V pentru $V_{DD} = 5$ V,

2 V pentru $V_{DD} = 10$ V,

2,5 V pentru $V_{DD} = 15$ V.

• Majoritatea tipurilor de circuite au intrările și ieșirile prevăzute cu etaje buffer; acest lucru îmbunătățește imunitatea la zgomot, caracteristica de transfer a porții și modifică valorile nivelelor logice la intrare și ieșire. Dezavantajul principal al buffer-ării este dat de creșterea timpului de propagare.

• Nici o intrare a unui circuit CMOS nu se poate lăsa „în vînt" (nu poate să fie flotantă). *Fiecare din intrările neutilizate se va lega fie la* V_{DD}, *fie la* V_{SS}.

• Fronturile semnalelor de intrare pentru circuite acționate pe tact se recomandă să nu depășească 15 μs, pentru a se evita consumuri excesive, comutări false etc. Pentru semnale lent variabile în timp se recomandă utilizarea unui trigger Schmitt.

• Codurile comerciale ale dispozitivelor din seria 4000 fabricate de MICROELECTRONICA sînt:

MMC 4XXX E — capsulă DIL plastic, gama temperatură —40... ...+85°C.

MMC 4XXX F — capsulă DIL ceramică „frit-seal", gama temperatură −40...+85°C.
MMC 4XXX G — capsulă DIL ceramică, gama temperatură −55... ...+125°C.
MMC 4XXX H — capsulă DIL ceramică „frit-seal", gama temperatură −55...+125°C.

Pentru *tipurile E și F*, gama de valori ale tensiunii de alimentare este cuprinsă între −0,5 V și +18 V, *operarea fiind recomandată între +3 V și +15 V*. Pentru *tipurile G și H*, gama de valori ale tensiunii de alimentare este cuprinsă între −0,5 V și +20 V, *operarea fiind recomandată între +3 V și +18 V*.

• În descrierile circuitelor, termenii tehnici din limba engleză s-au tradus pe cît a fost posibil ; în unele locuri s-a dat în paranteză și denumirea în engleză. O serie de termeni au fost preluați ca atare din limba engleză, fiind „barbarizați" (de exemplu : setare, resetare, presetabil, triggerabil, retriggerabil, strobare, etc.).

• S-a folosit terminologia de front (sau tranziție) pozitiv a unui semnal, pentru intervalul de timp necesar trecerii unui semnal din nivelul **JOS (0)** într-un nivel **SUS (1)** ; front (sau tranziție) negativ, corespunde trecerii din nivelul **SUS (1)** în nivelul **JOS (0)**.

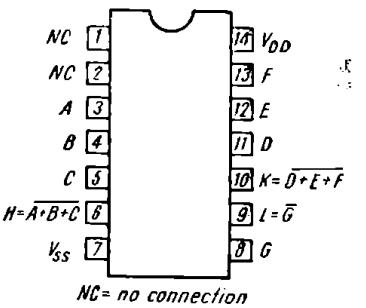
• S-a păstrat în permanență convenția de logică pozitivă, adică **1** logic pentru nivelul **SUS** (V_{DD}) și **0** logic pentru nivelul **JOS** (V_{SS}).

DOUĂ PORȚI SAU-NU CU 3 INTRĂRI PLUS UN INVERSOR MMC 4000

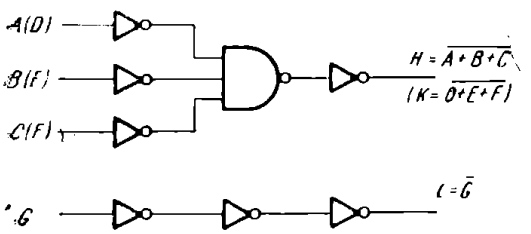
Circuitul integrat MMC 4000 conține două porți SAU-NU (NOR) cu 3 intrări fiecare și un inversor, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

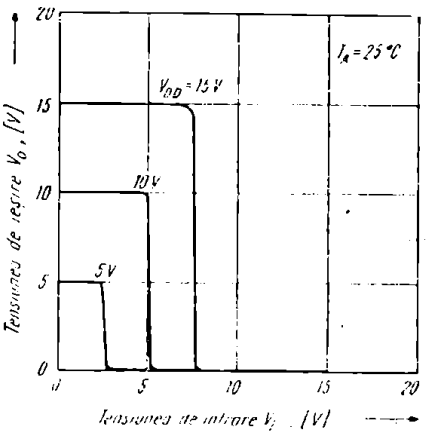
- intrări și ieșiri cu buffer
- caracteristici de ieșire simetrice
- imunitate mare la zgomot: 0,45 V_{DD} (tipic)
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



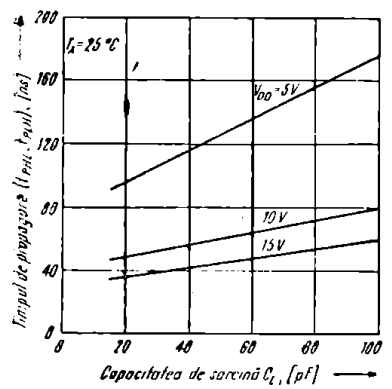
Semnificația terminalelor.



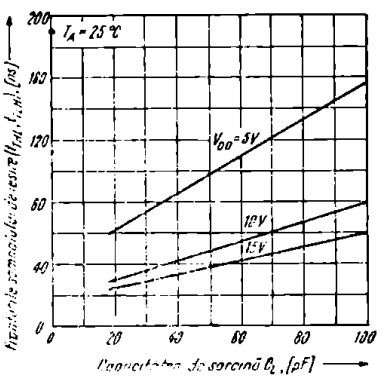
Schema logică a unei porți.



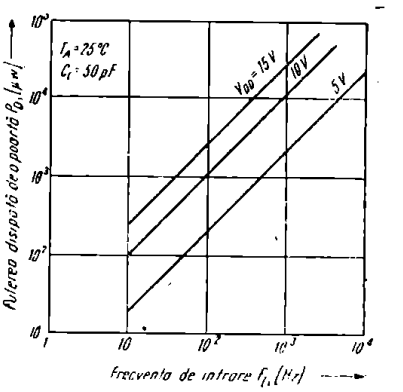
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



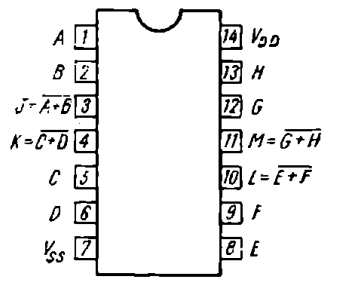
Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

MMC 4001 PATRU PORȚI SAU-NU CU 2 INTRĂRI

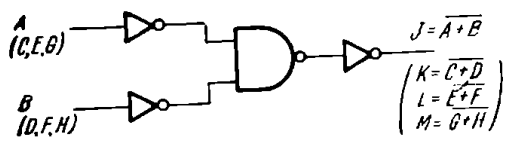
Circuitul integrat MMC 4001 conține patru porți SAU-NU (NOR) cu 2 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

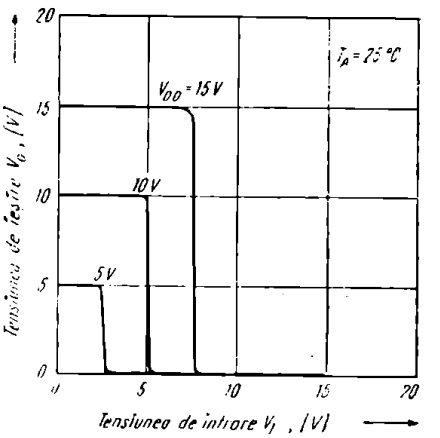
- intrări și ieșiri cu buffer
- caracteristici de ieșire simetrice
- imunitate la zgomot: 0,45 V_{DD} (tipic)
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V



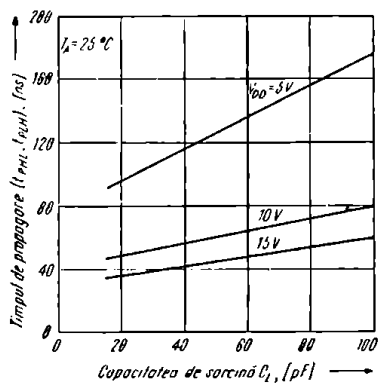
Semnificația terminalelor.



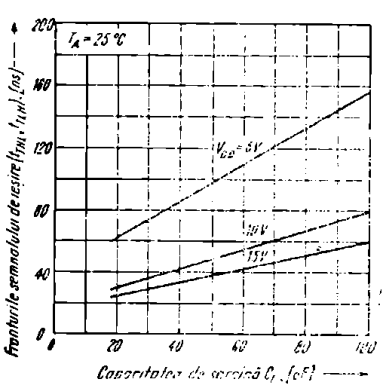
Schema logică a unei porți.



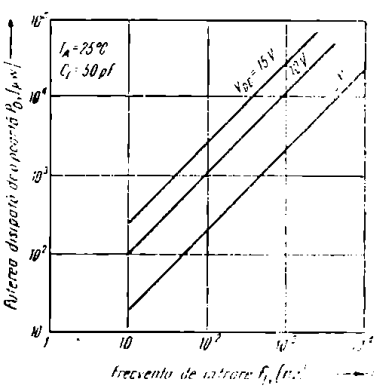
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



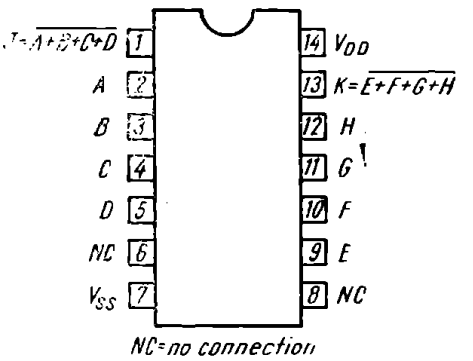
Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

DOUĂ PORȚI SAU-NU CU 4 INTRĂRI MMC 4002

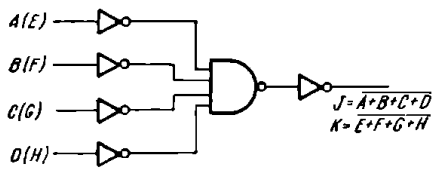
Circuitul integrat MMC 4002 conține două porți SAU-NU (NOR) cu 4 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

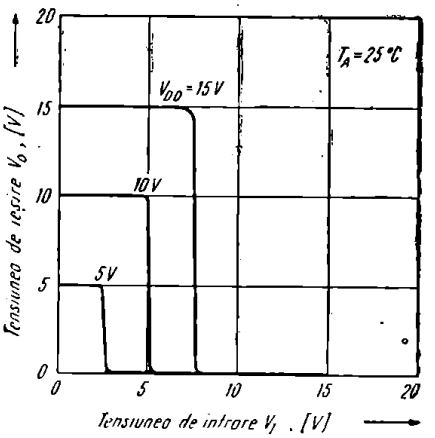
- intrări și ieșiri cu buffer
- caracteristici de ieșire simetrice
- imunitate la zgomot: 0,45 V_{DD} (tipic)
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V



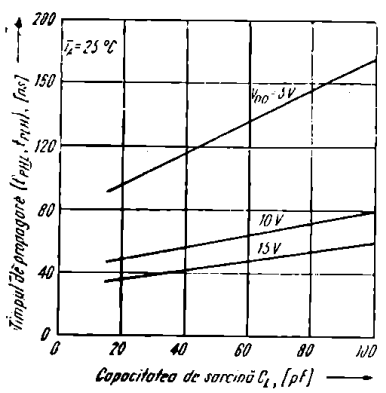
Semnificația terminalelor.



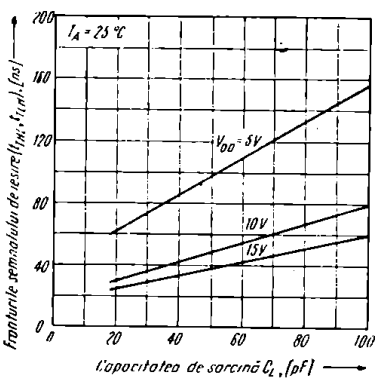
Schema logică a unei porți.



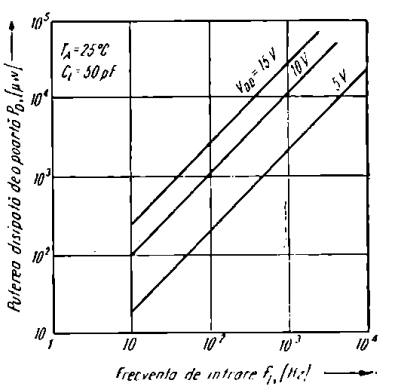
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

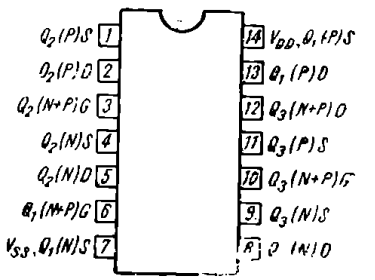


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

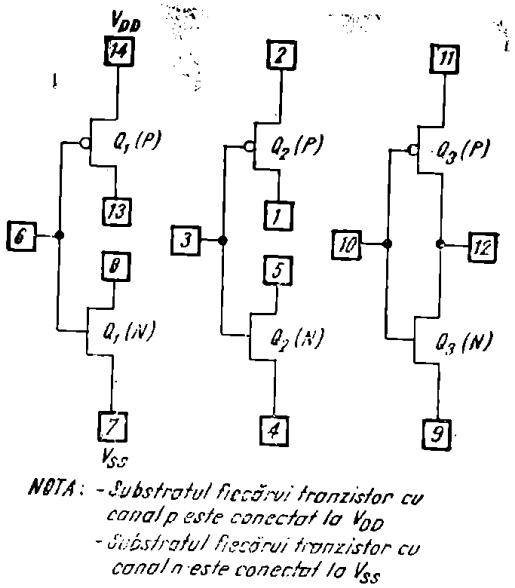
Circuitul integrat MMC 4007 conține două perechi de tranzistoare complementare, (unul cu canal *n*, altul cu canal *p*) și un inversor realizate în tehnologie CMOS. Cele 6 tranzistoare sînt disponibile la terminalele circuitului și pot fi ușor utilizate în construcția diverselor configurații tipice.

Performanțe

- caracteristici de ieșire simetrice
- timp de propagare : 30 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V

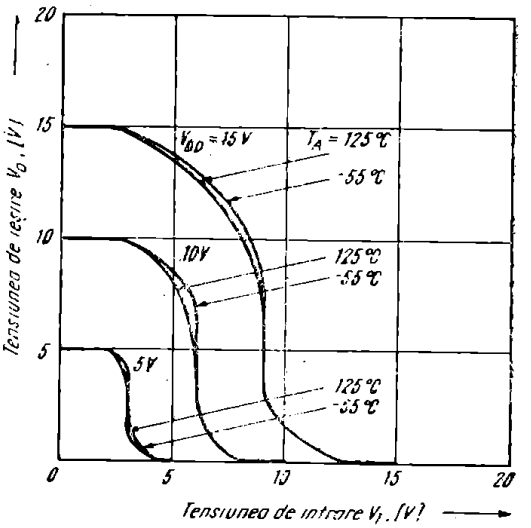


Semnificația terminalelor.

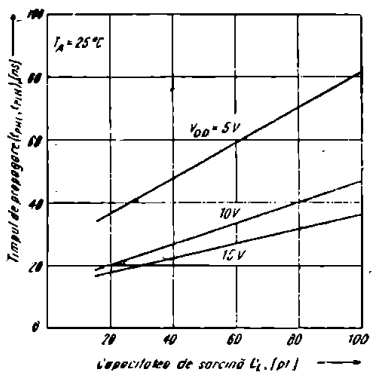


NOTA: - Substratul fiecărui tranzistor cu canal p este conectat la V_{DD}
- Substratul fiecărui tranzistor cu canal n este conectat la V_{SS}

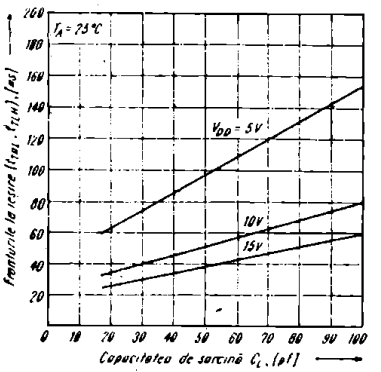
Schema electrică a circuitului.



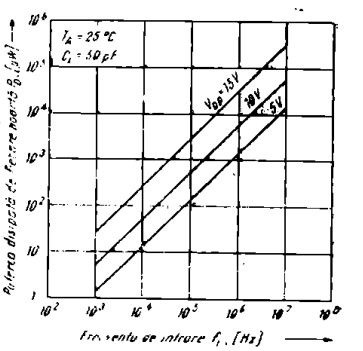
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

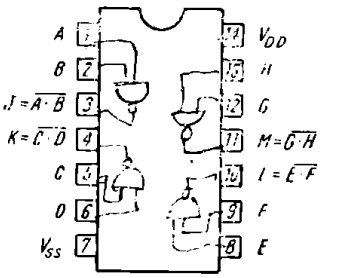


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare

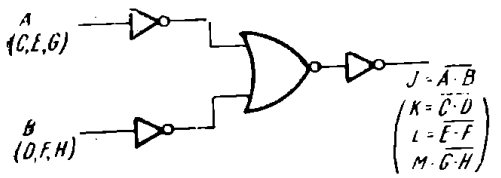
Circuitul integrat MMC 4011 conține patru porți SI-NU (NAND) cu 2 intrări fiecare și este realizat în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

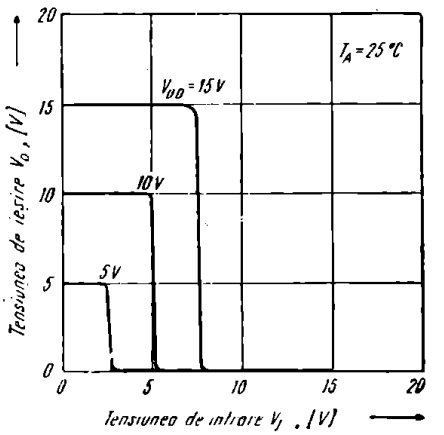
- intrări și ieșiri cu buffer
- caracteristici de ieșire simetrice
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V
- imunitate mare la zgomot: 0,45 V_{DD} (tipic)



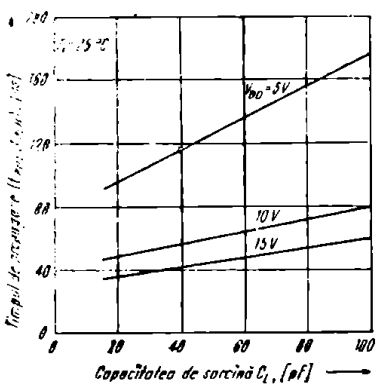
Semnificația terminalelor.



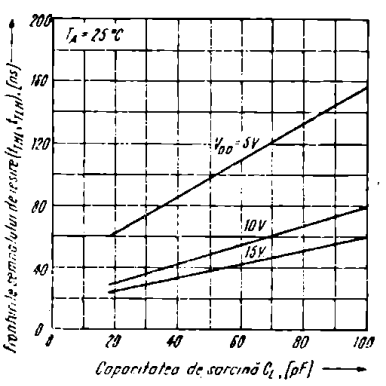
Schema logică a unei porți.



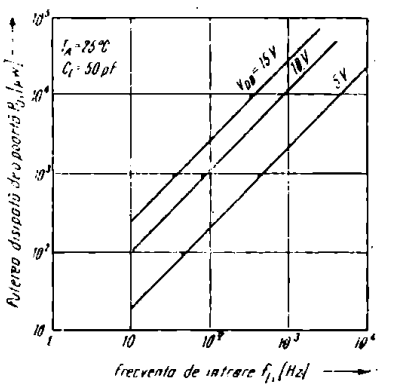
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



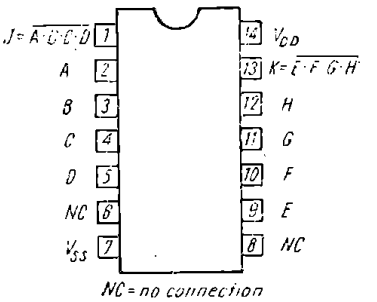
Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

MMC 4012 DOUĂ PORȚI ȘI-NU CU 4 INTRĂRI

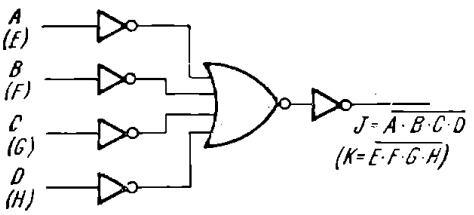
Circuitul integrat MMC 4012 conține două porți SI-NU (NAND) cu 4 intrări fiecare și este realizat în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

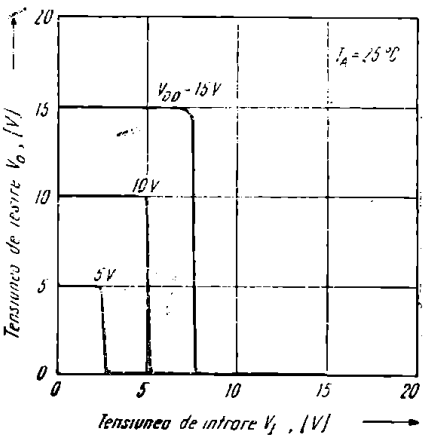
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V;
- imunitate mare la zgomot: 0,45 V_{DD} (tipic



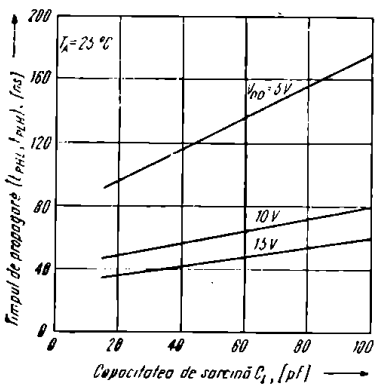
Semnificația terminalelor.



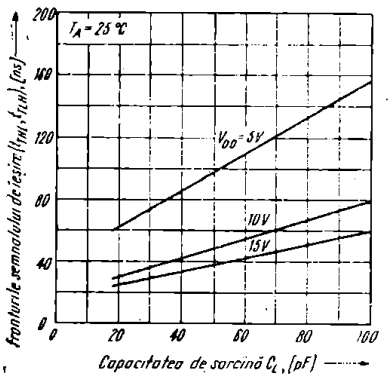
Schema logică a unei porți.



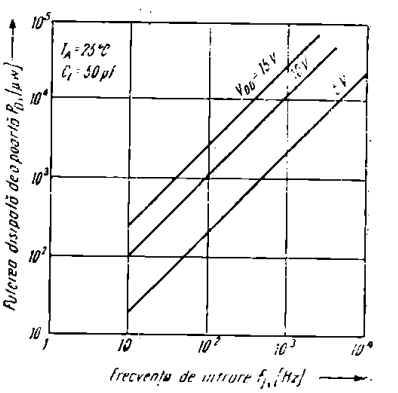
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



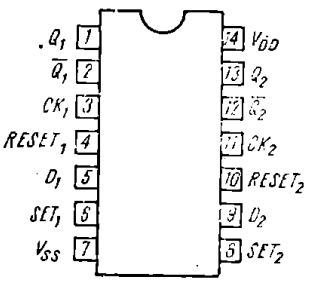
Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

Circuitul integrat MMC 4013 conține doi bistabili de tip *D* cu intrări și ieșiri independente. Fiecare bistabil are intrări de *DATA*, *SET*, *RESET* și *CLOCK* (ceas), precum și ieșirile Q și $\overline{Q}$. Circuitul se poate folosi în aplicații legate de registre de deplasare, iar prin conectarea ieșirii $\overline{Q}$ la intrarea *DATA* în aplicații pentru numărătoare și circuite bistabile tip *T*.

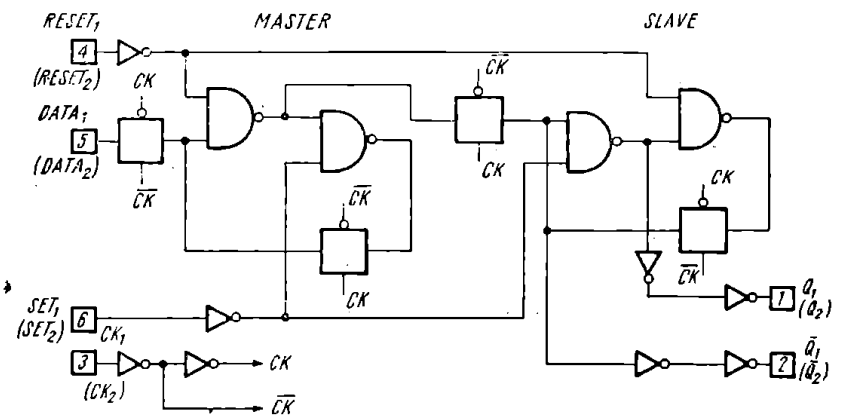
Transferul informației logice prezente la intrarea *DATA* se face la tranziția pozitivă a impulsului de ceas. Comanda bistabilului pe intrările *SET* și *RESET* este independentă de semnalul de ceas (intrarea *CLOCK*) și se realizează pe nivel logic **1**. Descrierea funcționării și schema logică a acestui bistabil de tip *D* sînt prezentate pe larg în § 1.6.2.



Semnificația terminalelor.

Performanțe

- posibilitate de *SET/RESET*
- viteză medie de operare : 16 MHz (tipic) la V_{DD} = = 10 V ;
- caracteristici de ieșire simetrice ;
- menține starea ieșirii indefinit cînd ceasul este **JOS** sau **SUS**.



Schema logică a unui bistabil de tip *D*.

CK	D	R	S	Q	$\overline{Q}$	
↑	0	0	0	0	1	
↑	1	0	0	1	0	
↓	X	0	0	Q	$\overline{Q}$	Starea nu se schimbă
X	X	1	0	0	1	
X	X	0	1	1	0	
X	X	1	1	1	1	

X - indiferent (0 sau 1)

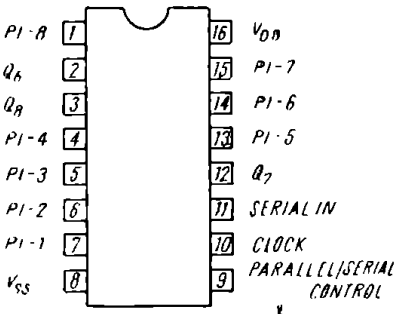
Tabele de adevăr pentru un bistabil.

Circuitul integrat MMC 4014 este un registru de deplasare static de 8 biți, cu intrări paralel sau serie și ieșire serie, avînd tact comun (intrarea *CLOCK*), intrare de control paralel/serie (*PARALLEL/SERIAL CONTROL*) o intrare de date serie (*SERIAL IN*) și intrări paralel *JAM*(*PI-1*...*PI-8*) la fiecare etaj, al registrului. Intrarea datelor paralel sau serie în registru se produce sincron cu tranziția pozitivă a semnalului de tact (intrarea *CLOCK*).

Fiecare etaj este un bistabil master-slave de tip *D* (v. § 1.7). Registrul dispune de ieșirile *Q* de la etajele 6, 7 și 8. Intrarea datelor este controlată de intrarea *PARALLEL/SERIAL CONTROL*. Dacă acesta este la **0** logic, datele sînt deplasate în registru serie, sincron pe frontul pozitiv al semnalului de tact. Cînd este la **1** logic, datele sînt încărcate paralel, prin intrările *JAM*, sincron pe frontul pozitiv al semnalului de tact.

Performanțe

- operare statică ;
- viteză de lucru medie : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- 8 bistabili master-slave tip *D* cu ieșiri buffer și porți de control ;
- operare sincronă.

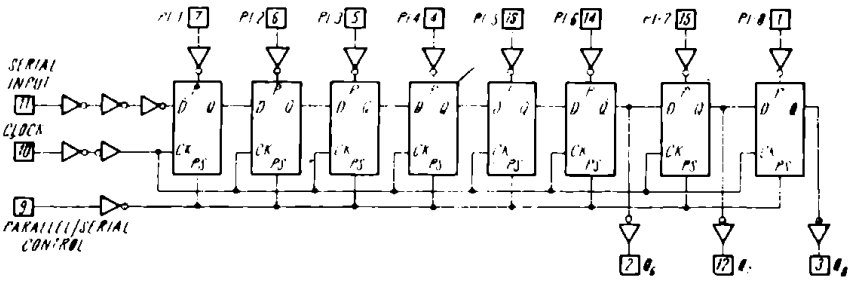


Semnificația terminalelor.

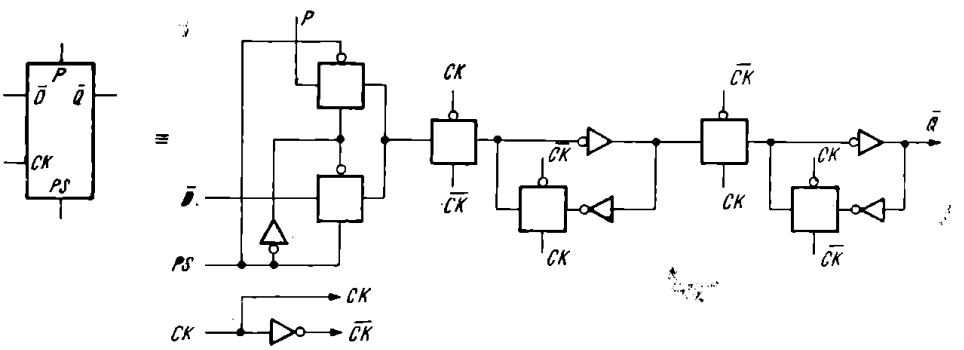
CK	SI	P/S	PI-1	PI-n	Q_1 intern	Q_n
↑	X	1	0	0	0	0
↑	X	1	1	0	1	0
↑	X	1	0	1	0	1
↑	X	1	1	1	1	1
↑	0	0	X	X	0	Q_{n-1}
↑	1	0	X	X	1	Q_{n-1}
↓	X	X	X	X	Q_1	Q_n NC

X = Indiferent (0 sau 1)
NC = Starea nu se schimbă

Tabela de adevăr a circuitului



Schema logică a circuitului.



Schema logică a unei celule.

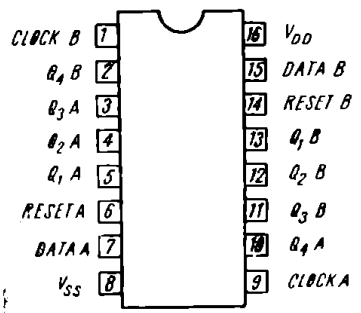
DOUĂ REGISTRE DE DEPLASARE STATICE DE 4 BITI CU INTRARE SERIE/IEȘIRE PARALEL — MMC 4015

Circuitul integrat MMC 4015 constă din două registre identice de 4 biți, independente, cu intrare serie și ieșiri paralel. Fiecare registru are intrări de ceas (*CLOCK*) și *RESET* precum și o intrare serie de date (*DATA*). Registrul are disponibile ieșirile *Q* ale fiecărui etaj.

Etajele registrului sînt bistabili master-slave de tip *D* (v. § 1.7.1). Nivelul logic prezent pe intrarea *DATA* este transferat în primul etaj și apoi deplasat succesiv la fiecare front pozitiv al ceasului **1** logic la intrarea *RESET* aduce ieșirile *Q* în **0** logic. Utilizînd una sau mai multe capsule MMC 4015, se pot realiza registre mai mari de 4 etaje.

Performanțe

- viteză medie de operare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- operare statică ;
- 8 bistabili master-slave cu intrări și ieșiri buffer ;
- caracteristici de ieșire simetrice ;

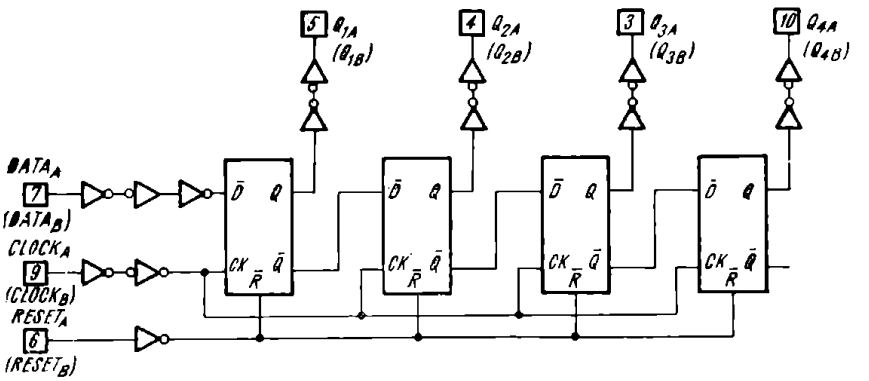


Semnificația terminalelor.

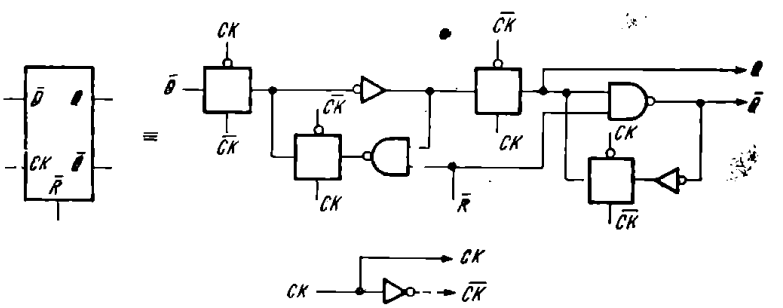
CK	D	R	Q_1	Q_n	
↑	0	0	0	Q_{n-1}	
↑	1	0	1	Q_{n-1}	
↓	X	0	0	Q_n	NC
X	X	1	0	0	

X = Indiferent (0 sau 1)
NC = Starea nu se schimbă

Tabela de adevăr a circuitului.



Schema logică a circuitului.



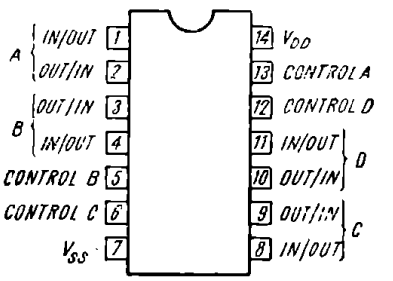
Schema logică a unei celule.

Circuitul integrat MMC 4016 constă din patru comutatoare bilaterale (v. § 1.5.4), destinate transmiterii sau multiplexării semnalelor analogice sau digitale.

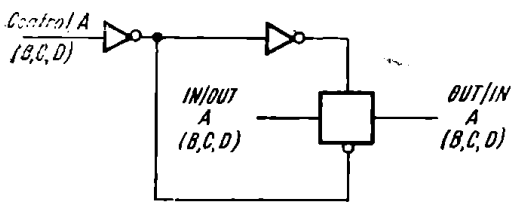
Fiecare din cele 4 comutatoare bilaterale, independente prezintă cîte o intrare *CONTROL*, care comandă simultan tranzistorul cu canal *n* și tranzistorul cu canal *p* dintr-un comutator (deschis, *ON*, sau blocat, *OFF*).

Performanțe

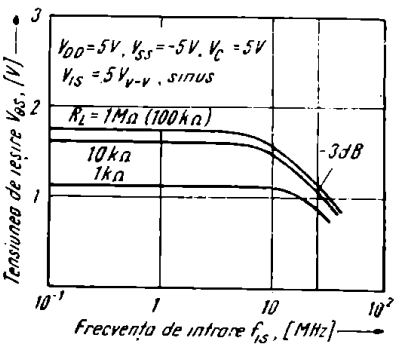
- rezistență *ON*: 280 Ω (tipic) la $V_{DD} - V_{SS} = 15$ V;
- împerecherea rezistenței *ON* a comutatoarelor: 10 Ω (tipic) pentru o plajă a semnalului de intrare de 15 V;
- viteză de răspuns: 40 MHz (tipic);
- liniaritate bună: < 0,5% distorsiuni (tipic) pentru $f_{is} = 1$ kHz, $V_{IS} = 5$ V_{VV}, $V_{DD} - V_{SS} \geqslant 10$ V, $R_L = 10$ kΩ
- diafonie redusă între comutatoare (*crosstalk*): — 50 dB (tipic) pentru $f_{is} = 0{,}9$ MHz, $R_L = 1$ kΩ;
- curent rezidual *OFF*: 100 pA (tipic) pentru $V_{DD} - V_{SS} = 18$ V și $T_A = 25$°C.



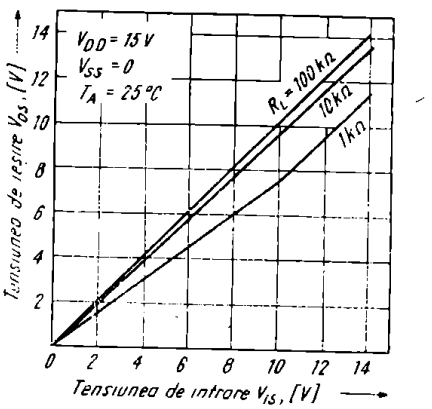
Semnificația terminalelor.



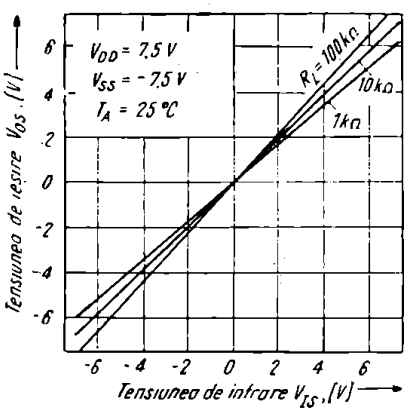
Schema logică a unui comutator.



Răspunsul în frecvență al unui comutator.



Caracteristica de transfer pentru un comutator deschis ($V_{DD} = +15$V, $V_{SS} = 0$V)



Caracteristica de transfer pentru un comutator deschis ($V_{DD} = +7{,}5$V, $V_{SS} = -7{,}5$V)

Circuitul integrat MMC 4017 este un numărător Johnson cu 5 etaje și are **10** ieșiri decodificate. Intrările sînt *CLOCK*, *RESET* și *CLOCK INHIBIT* (pentru inhibarea semnalului de tact).

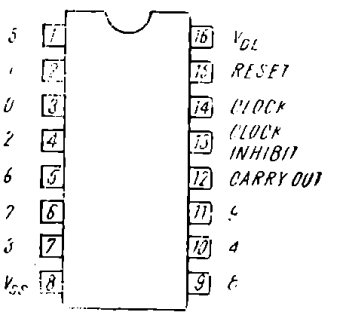
Circuitul trigger Schmitt de la intrarea de tact (*CLOCK*) permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.

Dacă intrarea *CLOCK INHIBIT* este la **0** logic, numărătorul își schimbă starea la orice front pozitiv. Inhibarea numărării se realizează printr-un **1** logic aplicat pe *CLOCK INHIBIT*. Nivelul **1** logic la intrarea *RESET* aduce toate ieșirile numărătorului la **0** logic. Celula numărătorului este un bistabil master-slave de tip *D* (v. § 1.7.1.).

Folosirea numărătorului Johnson în configurație decadică permite obținerea unei viteze mari de operare și, datorită utilizării unor porți cu 2 intrări pentru decodificarea zecimală, se obțin la ieșirile decodificate semnale fără tranziții parazite. Cu ajutorul unei porți de anti-blocare se asigură pornirea corectă a numărării din orice stare inițială.

Ieșirile decodificate sînt în mod normal în **0** logic și trec în **1** logic numai în momentul decodificării. Fiecare ieșire decodificată rămîne în **1** logic un interval de timp egal cu o perioadă a impulsului de tact.

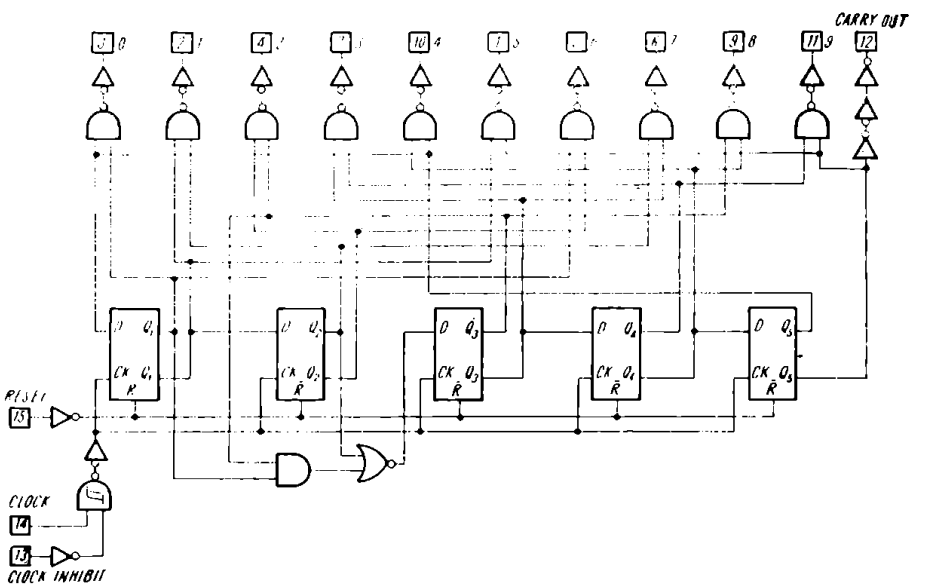
La ieșirea de transport (*CARRY OUT*) se obține un impuls la fiecare 10 impulsuri de tact. Ieșirea *CARRY OUT* se utilizează pentru cascadarea mai multor numărătoare în scopul formării unui lanț de numărare de ordin superior.



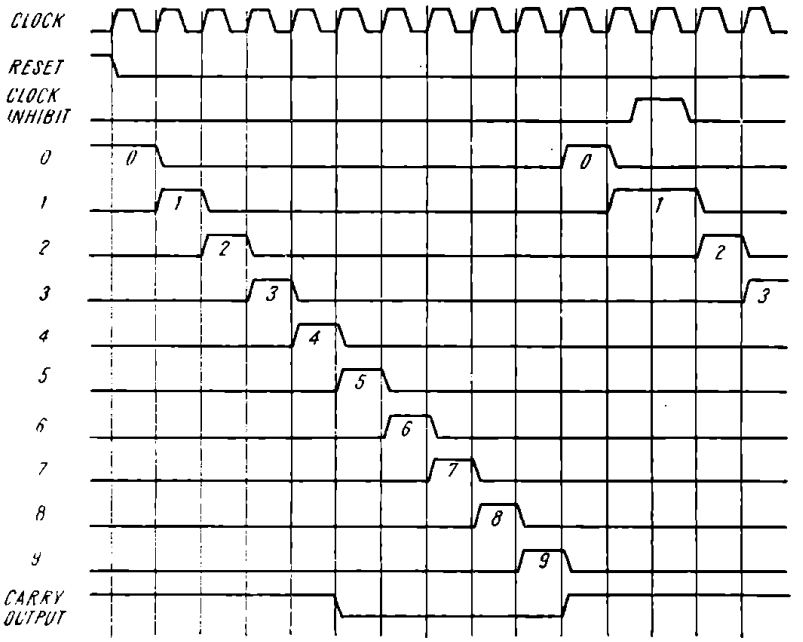
Semnificația terminalelor.

Performanțe

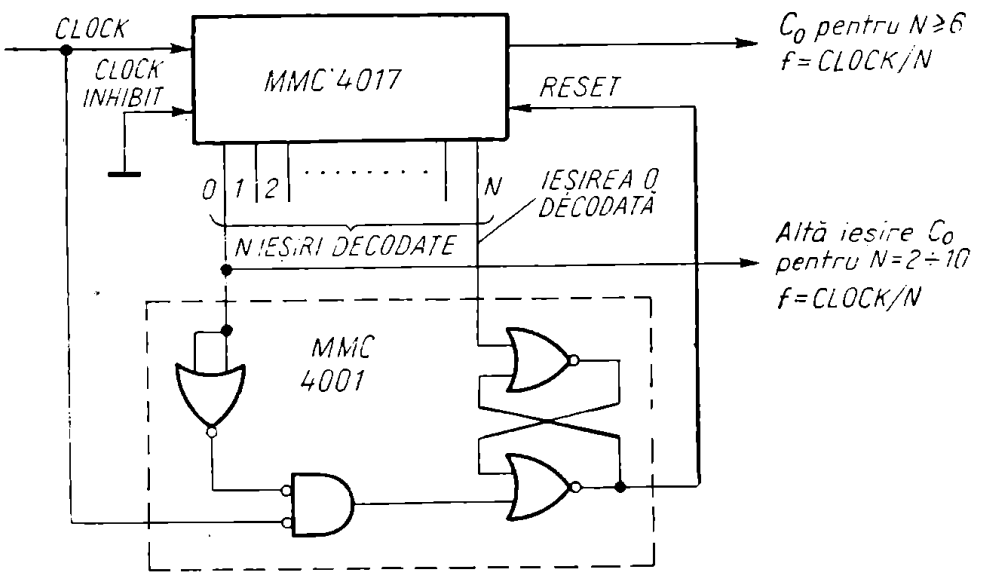
- operare statică ;
- viteză medie de operare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- caracteristici simetrice de ieșire.



Schema logică a circuitului.



Formele de undă.



Numărător divizor cu N ($N \leq 10$), cu N ieșiri decodificate

NUMARATOR JOHNSON PRESETABIL DIVIZOR CU N — MMC 4018

Circuitul integrat MMC 4018 constă din 5 bistabili master-slave de tip *D*, legați într-o configurație de numărător Johnson. Există ieșiri $\bar{Q}$ cu buffer la fiecare etaj și logică de control a presetării numărătorului. Circuitul este prevăzut cu intrări de *CLOCK*, *RESET*, *DATA*, *PRESET ENABLE* (validare preset) și 5 intrări *JAM* de presetare. Celula numărătorului este descrisă pe larg în § 1.7.1.

Divizarea prin 10, 8, 6, 4 sau 2 se poate realiza prin conectarea terminalelor $\bar{Q}_5$, $\bar{Q}_4$, $\bar{Q}_3$, $\bar{Q}_2$, respectiv $\bar{Q}_1$ la intrarea *DATA*.

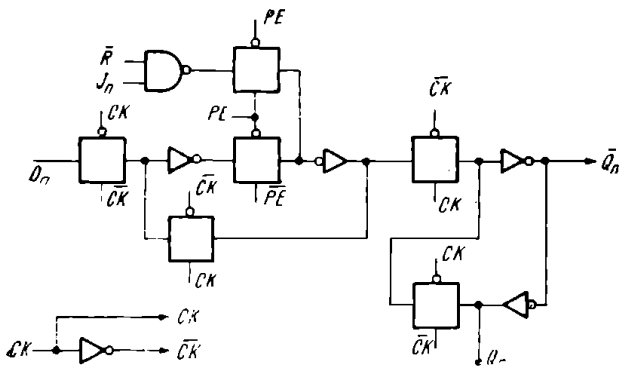
Divizarea prin 9, 7, 5 sau 3 se obține, conectînd la intrarea *DATA*, prin intermediul unei porți SI (AND), ieșirile $\bar{Q}_4$ și $\bar{Q}_5$, $\bar{Q}_3$ și $\bar{Q}_4$ $\bar{Q}_2$ și $\bar{Q}_3$ și, respectiv, $\bar{Q}_1$ și $\bar{Q}_2$.

Numărătorul își schimbă starea pe frontul crescător (pozitiv) al semnalului de tact (intrarea *CLOCK*). Circuitul trigger Schmitt permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente. Nivelul **1** logic la intrarea *RESET* șterge conținutul numărătorului (ieșirile $\bar{Q}$ în **1** logic). **1** logic la intrarea *PRESET ENABLE* permite ca datele de la intrările *JAM* să preseteze numărătorul.

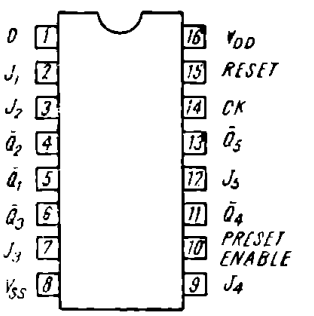
Divizarea prin valori superioare lui 10 se poate obține utilizînd mai multe capsule MMC 4018.

Performanțe

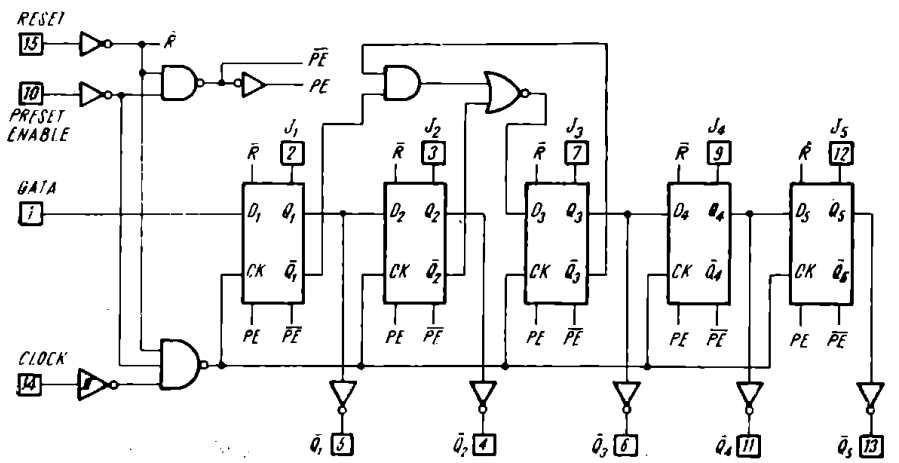
- viteză medie de operare: 10 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



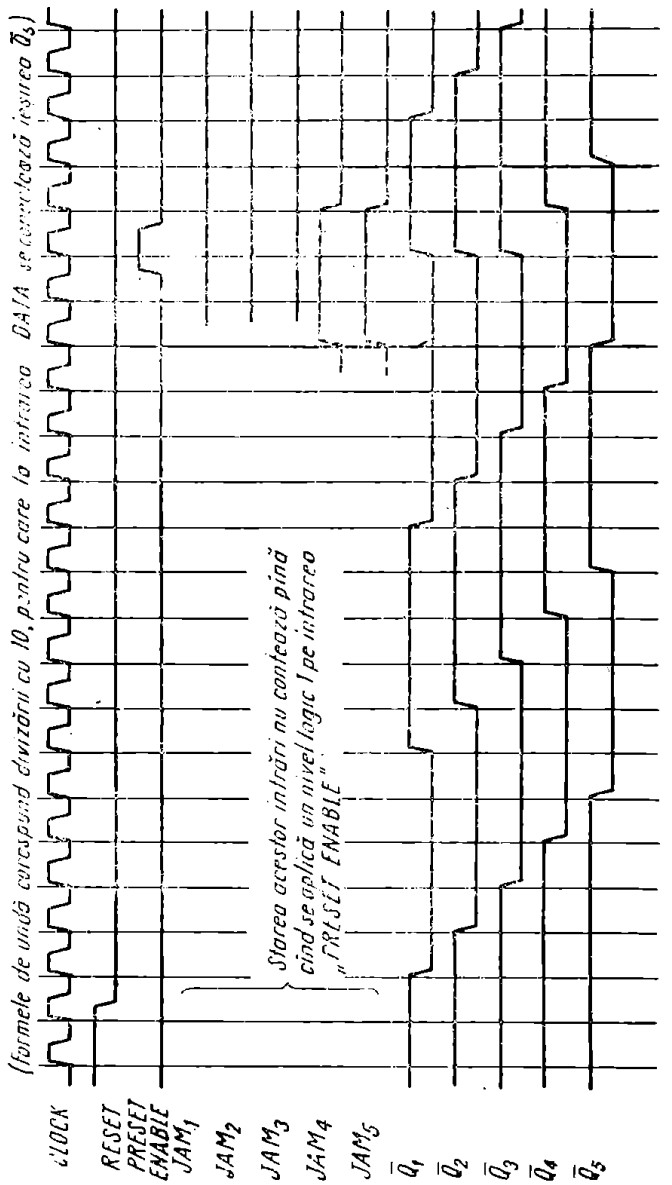
Schema logică a celulei numărătorului.



Semnificația terminalelor.



Schema logică a circuitului.



Formele de undă.

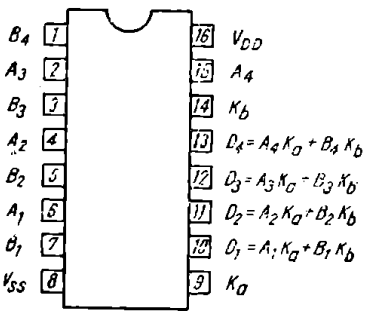
Circuitul integrat MMC 4019 conține 4 configurații de porți SI-SAU (AND/OR) cu selectare între două cuvinte de 4 biți, fiecare configurație avînd 2 porți SI(AND) cu 2 intrări care comandă o poartă SAU(OR) cu 2 intrări.

Selecția unuia dintre cuvintele de 4 biți ($A_1 \ldots A_4$; $B_1 \ldots B_4$) se realizează prin biții de control K_a și K_b.

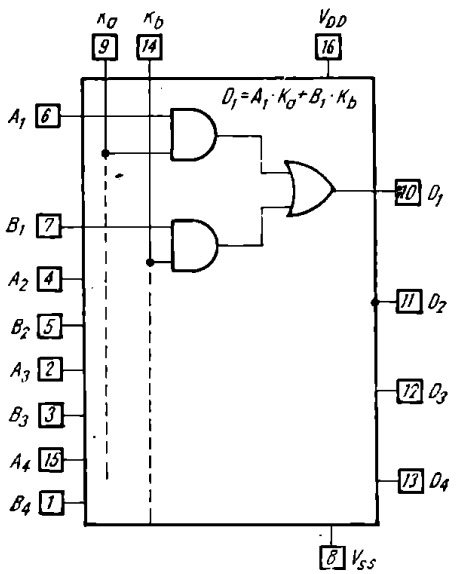
În afară de selecția informației, fie de la canalul A, fie de la canalul B, prin aplicarea simultană a biților de control K_a și K_b se poate realiza funcția logică SAU (OR), între canalele A și B de 4 biți.

Performanțe

- timp de propagare: 60 ns (tipic) pentru $C_L =$ $= 50$ pF și $V_{DD} = 10$ V;
- înlocuiește 3 porți simple (reduce numărul capsulelor utilizate);
- caracteristici de ieșire simetrice;
- intrări și ieșiri cu buffer.



Semnificația terminalelor



Schema logică funcțională.

K_a	K_b	A_n	B_n	D_n
0	0	X	X	0
1	0	0	X	0
1	0	1	X	1
0	1	X	0	0
0	1	X	1	1
1	1	1	X	1
1	1	X	1	1
1	1	0	0	0

X = Indiferent

Tabela de adevăr a circuitului.

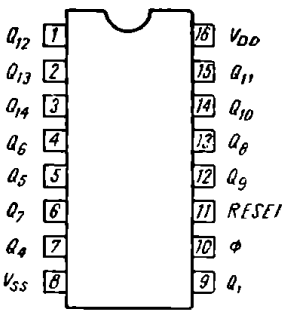
MMC 4020 NUMARATOR BINAR ASINCRON DE 14 BITI

Circuitul integrat MMC 4020 este un numărător binar asincron (cu transport succesiv) de 14 biți. Toate etajele numărătorului sînt circuite bistabile master-slave de tip T (v. § 1.8.1).

Numărătorul incrementează pe frontul negativ (tranziția negativă) a fiecărui impuls de intrare. Nivelul **1** logic al intrării *RESET* aduce toate ieșirile numărătorului în **0** logic.

Circuitul trigger Schmitt de la intrare permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.

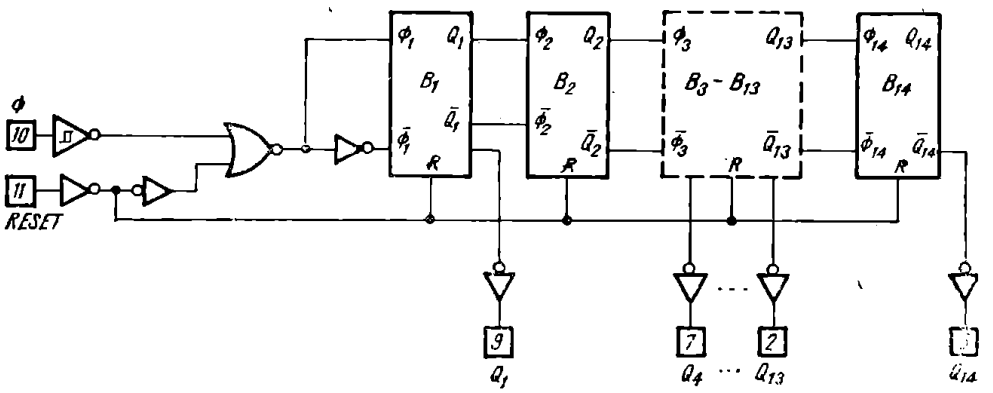
Toate intrările și ieșirile au etaje buffer.



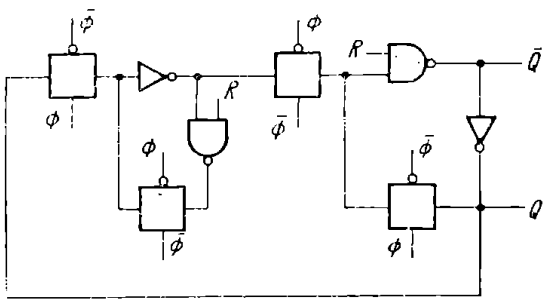
Semnificația terminalelor.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.



Schema logică a unei celule.

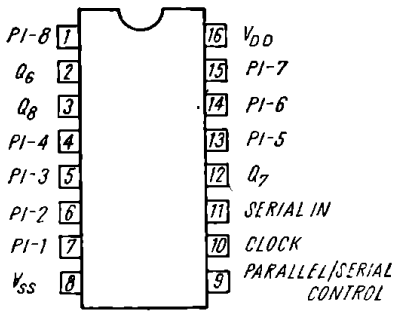
135 REGISTRU DE DEPLASARE STAȚIE DE 8 BIȚI, INTRĂRI SINCRONE SERIE SAU ASINCRONE PARALEL ȘI IEȘIRI SERIE MMC 4021

Circuitul integrat MMC 4021 este un registru de deplasare static de 8 biți cu intrări paralel sau serie și ieșire serie, avînd tact comun, intrare de control paralel/serie (*PARALLEL/SERIAL CONTROL*) o intrare de date serie (*SERIAL IN*) și intrări paralel *JAM* (*PI-1...PI-8*) la fiecare etaj al registrului.

Intrarea datelor paralel se face asincron, iar intrarea datelor serie se face sincron cu tranziția pozitivă a semnalului de tact (intrarea *CLOCK*). Fiecare etaj este un bistabil master-slave de tip *D* (v. § 1.7).

Registrul are ieșiri *Q* de la etajele 6, 7 și 8.

Modul de introducere a datelor este controlat de intrarea *PARALLEL/SERIAL CONTROL*. Dacă aceasta este la **0** logic, datele sînt deplasate în registru serie, sincron pe frontul pozitiv al semnalului de tact. Cînd este la **1** logic, datele de pe intrările paralel *JAM* sînt înscrise în etajele registrului asincron față de semnalul de tact.



Semnificația terminalelor.

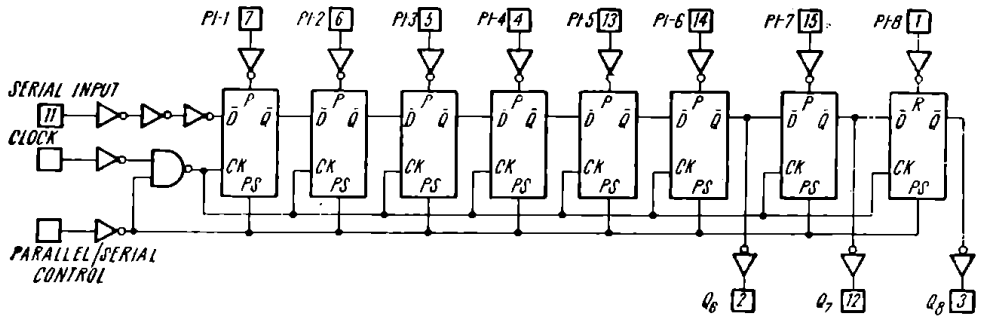
CK	SI	P/S	PI-1	PI-n	Q_1 intern	Q_n	
X	X	1	0	0	0	0	
X	X	1	0	1	0	1	
X	X	1	1	0	1	0	
X	X	1	1	1	1	1	
↑	0	0	X	X	0	Q_{n-1}	
↑	1	0	X	X	1	Q_{n-1}	
↓	X	0	X	X	Q_1	Q_n	NC

X = Indiferent ; NC = Starea nu se schimbă

Tabela de adevăr.

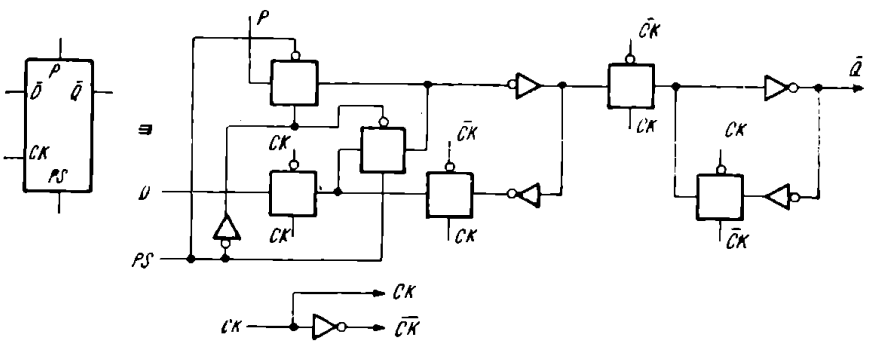
Performanțe

- operare statică ;
- viteză de lucru medie : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- 8 bistabili master-slave cu ieșiri buffer și porți de control.



Schema logică a circuitului.

Schema logică a celulei.



MMC 4022 NUMĂRĂTOR JOHNSON OCTAL CU 8 IEȘIRI DECODIFICATE

Circuitul integrat MMC 4022 este un numărător Johnson cu 4 etaje, care are 8 ieșiri decodificate. Intrările sînt *CLOCK*, *RESET* și *CLOCK INHIBIT* (pentru inhibarea semnalului de tact).

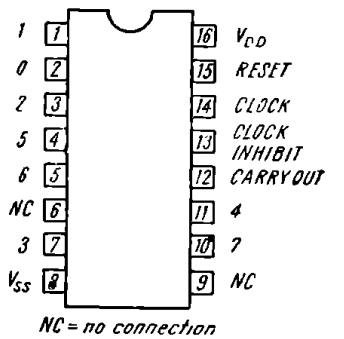
Circuitul trigger Schmitt de la intrarea *CLOCK* permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.

Numărătorul își schimbă starea la orice front pozitiv al semnalului de tact, cînd intrarea *CLOCK INHIBIT* este la **0** logic. Inhibarea numărării se realizează printr-un **1** logic aplicat pe *CLOCK INHIBIT*. Nivelul **1** logic la intrarea *RESET* aduce toate ieșirile numărătorului la **0** logic. Celula de bază a numărătorului este un bistabil master-slave de tip *D* (v. § 1.7.1.).

Folosirea numărătorului Johnson în configurație octală permite obținerea unei viteze mari de operare și, prin utilizarea unor porți cu 2 intrări pentru decodificarea octală se obțin la ieșirile decodificate semnale fără tranziții parazite. Cu ajutorul unei porți de anti-blocare se asigură pornirea corectă a numărării din orice stare.

Ieșirile decodificate sînt în mod normal în **0** logic și trec în **1** logic numai în momentul decodificării. Fiecare ieșire decodificată rămîne în **1** logic un interval de timp egal cu o perioadă a impulsului de tact.

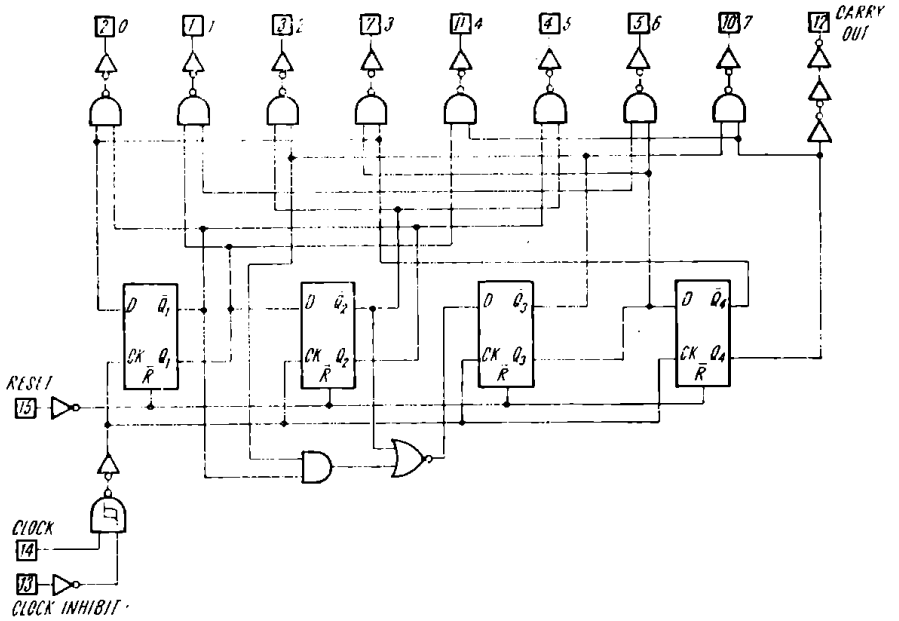
La ieșirea de transport (*CARRY OUT*) se obține un impuls la fiecare 8 impulsuri de tact. Ieșirea *CARRY OUT* se utilizează pentru cascadarea mai multor numărătoare pentru a se obține un lanț de numărare de ordin superior.



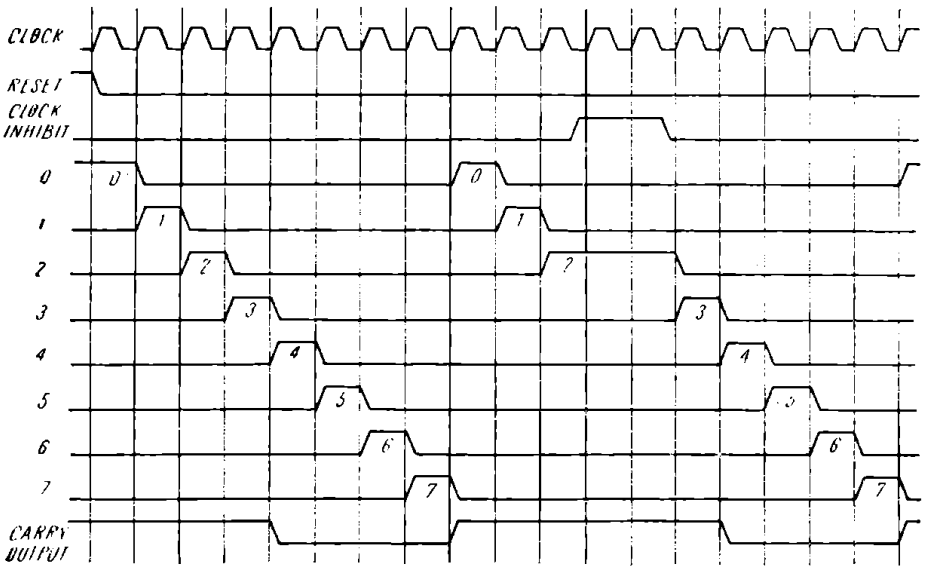
Semnificația terminalelor.

Performanțe

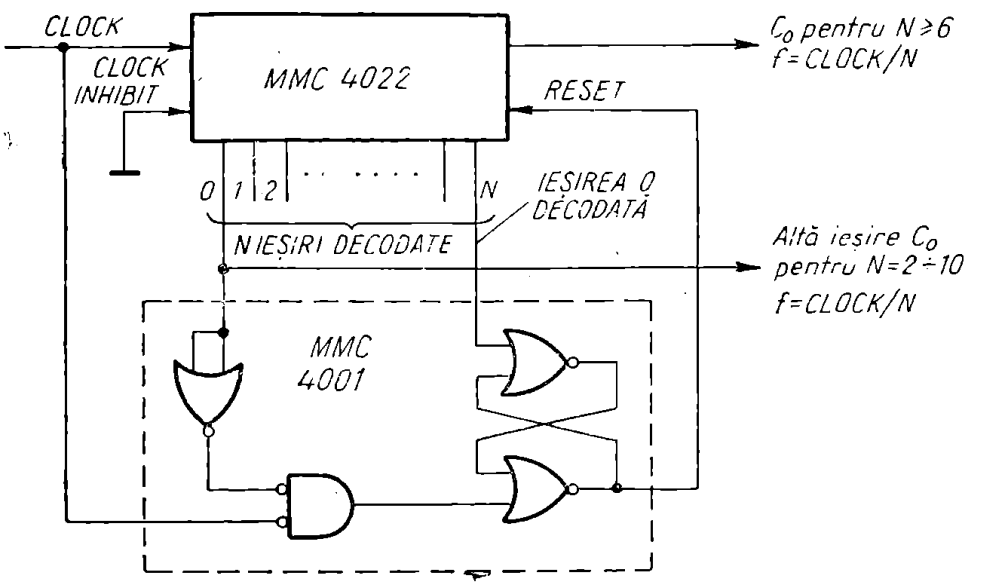
- operare statică ;
- viteză medie de operare : 12 MHz (tipic) pentru $V_{DD} = 10$ V ;
- caracteristici simetrice de ieșire.



Schema logică a circuitului.



Formele de undă.

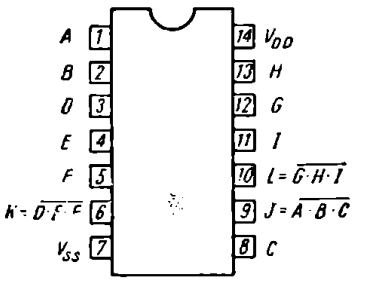


Numărător divizor cu N ($N \leqslant 10$), cu N ieșiri decodificate

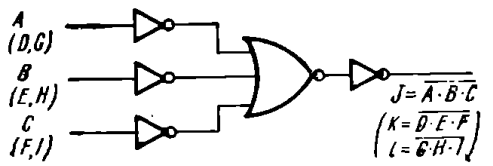
Circuitul integrat MMC 4023 conține trei porți SI-NU (NAND) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

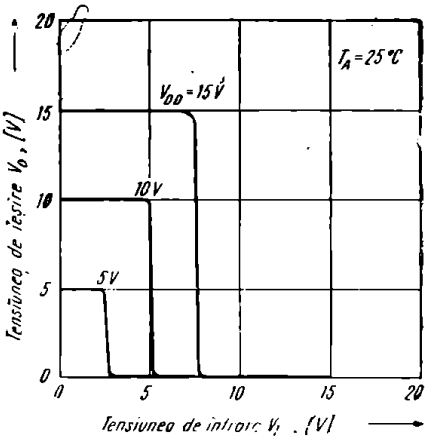
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V;
- imunitate mare la zgomot: 0,45 V_{DD} (tipic)



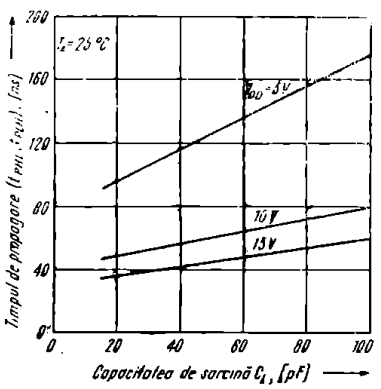
Semnificația terminalelor.



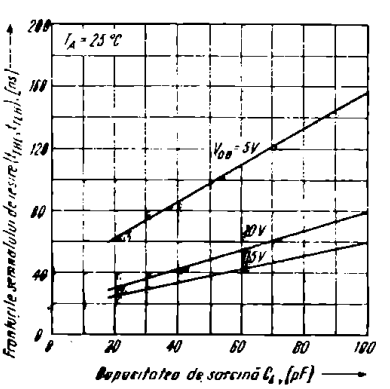
Schema logică a unei porți.



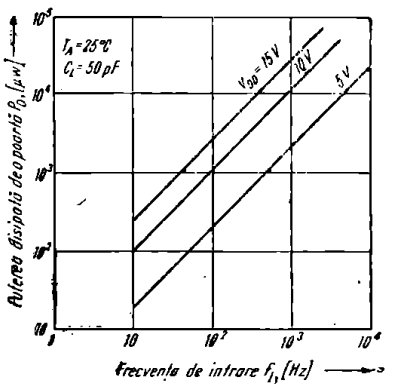
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

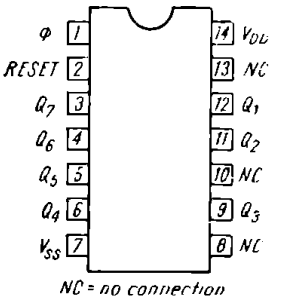


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

Circuitul integrat MMC 4024 este un numărător binar asincron (cu transport succesiv — *ripple counter*) de 7 biți. Toate etajele numărătorului sînt circuite bistabile master-slave de tip T (v. § 1.8.1).

Numărătorul incrementează pe frontul negativ (tranziție negativă) al fiecărui impuls de intrare. Nivelul **1** logic al intrării *RESET* aduce toate ieșirile numărătorului în **0** logic. Circuitul trigger Schmitt de la intrare permite lucrul cu impulsuri ale căror fronturi sînt lent variabile.

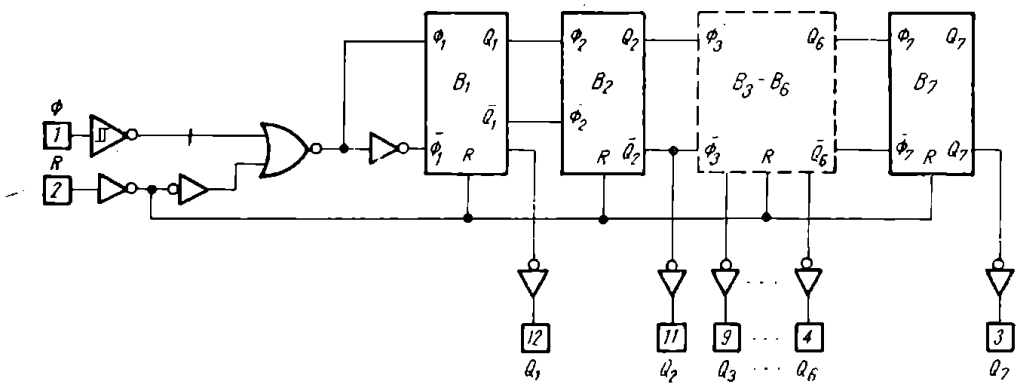
Toate intrările și ieșirile au etaje buffer.



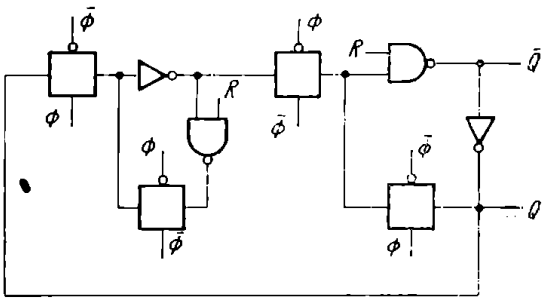
Semnificația terminalelor.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.



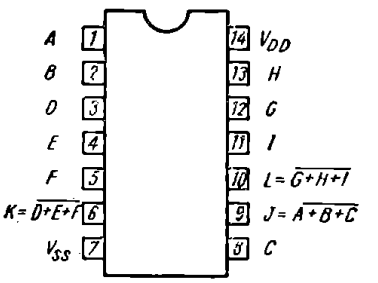
Schema logică a celulei.

MMC 4025 TREI PORȚI SAU-NU CU 3 INTRĂRI

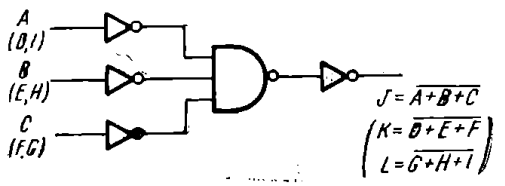
Circuitul integrat MMC 4025 conține trei porți SAU-NU (NOR) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt prevăzute cu etaje buffer.

Performanțe

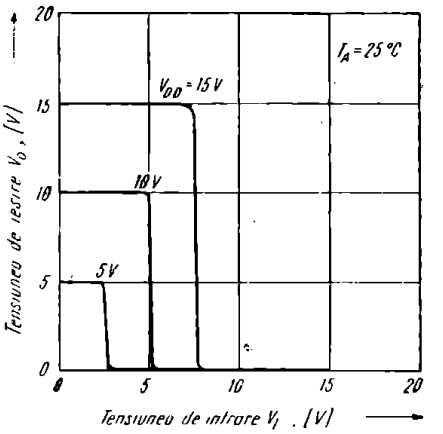
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- imunitate mare la zgomot: 0,45 V_{DD} (tipic);
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



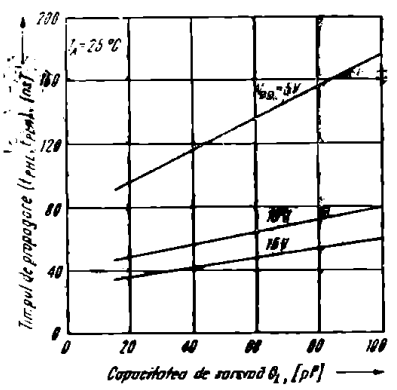
Semnificația terminalelor.



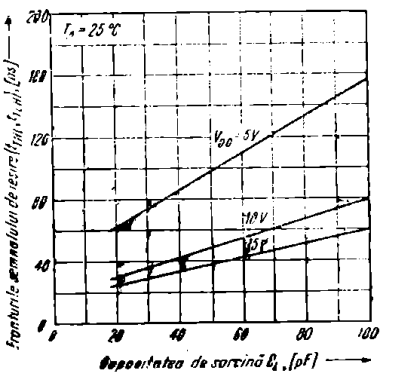
Schema logică a unei porți.



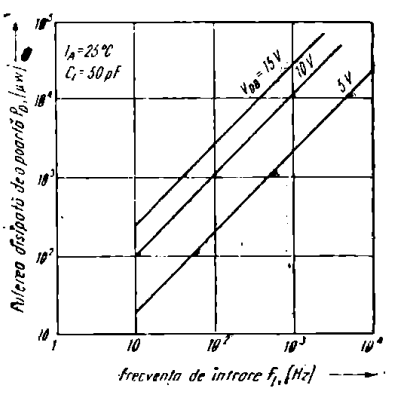
Caracteristica de transfer tipică.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.

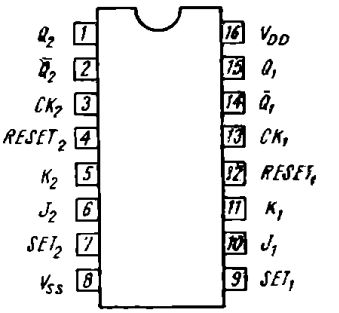


Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

Circuitul integrat MMC 4027 conține doi bistabili master-slave de tip *JK* independenți. Fiecare bistabil are intrări proprii de semnal: *J*, *K*, *SET*, *RESET* și *CLOCK*. Există ieșiri Q și $\bar{Q}$, cu buffer, pentru fiecare bistabil.

Descrierea bistabilului master-slave de tip *JK* este dată în § 1.6.3.

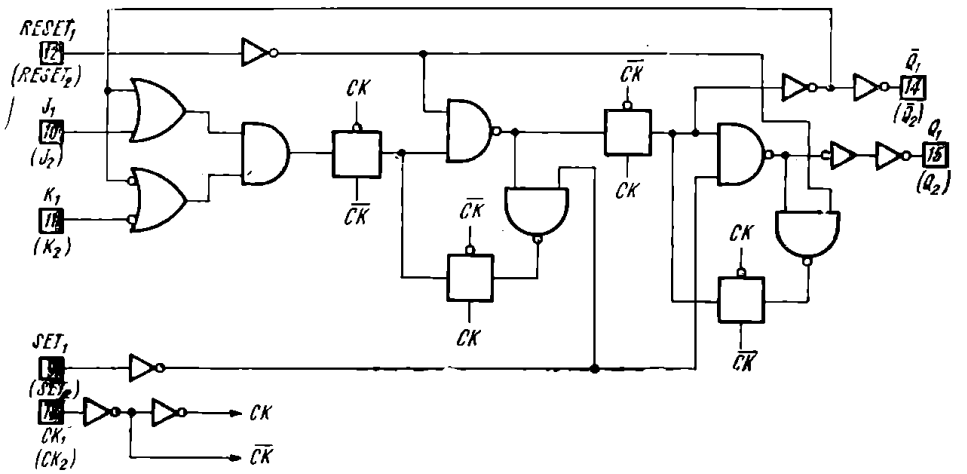
Nivelele logice de pe intrările *J* și *K* controlează tranziția bistabilului, starea acestuia schimbîndu-se sincron cu frontul pozitiv al semnalului de tact (de pe intrarea *CLOCK*). Funcțiile *SET* și *RESET* sînt independente de tact și sînt active atunci cînd nivelul logic **1** apare fie la intrarea *SET*, fie la intrarea *RESET*.



Semnificația terminalelor.

Performanțe

- posibilități de *SET-RESET*;
- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică



Schema logică a unui bistabil.

Starea actuală					CK	Starea următoare	
Intrări				Ieșire		Ieșiri	
J	*K*	*S*	*R*	*Q*		*Q*	$\bar{Q}$
1	X	0	0	0	↑	1	0
X	0	0	0	1	↑	1	0
0	X	0	0	0	↑	0	1
X	1	0	0	1	↑	0	1
X	X	0	0	X	↓	Starea nu se schimbă	
X	X	1	0	X	X	1	0
X	X	0	1	X	X	0	1
X	X	1	1	X	X	1	1

Tabela de adevăr a circuitului.

X – Indiferent

MMC 4028 DECODOR BCD-ZECIMAL

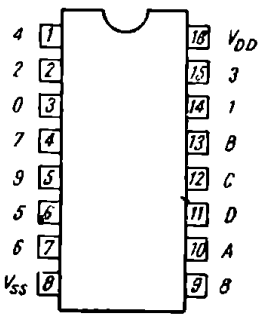
Circuitul integrat MMC 4028 este un decodor din codul zecimal codificat binar (BCD) în codul zecimal sau din codul binar în codul octal.

Circuitul MMC 4028 are etaje buffer la cele 4 intrări (*A*, *B*, *C*, *D*) și 10 ieșiri (*0*...*9*) și o logică de decodificare cu porți. La aplicarea unui cod BCD pe cele 4 intrări (*A*...*D*) se obține un semnal **1** logic numai la una din cele 10 ieșiri, celelalte 9 ieșiri fiind în **0** logic. Similar, un cod binar de 3 biți prezent pe intrările *A*...*C* este decodificat în cod octal pe ieșirile *0*...*7*, dacă intrarea *D* este în **0** logic. Atunci cînd intrarea *D* se află în **1** logic, ieșirile *0*...*7* se forțează în **0** logic. Astfel, circuitul se poate utiliza ca decodor 1 din 8 cu validare.

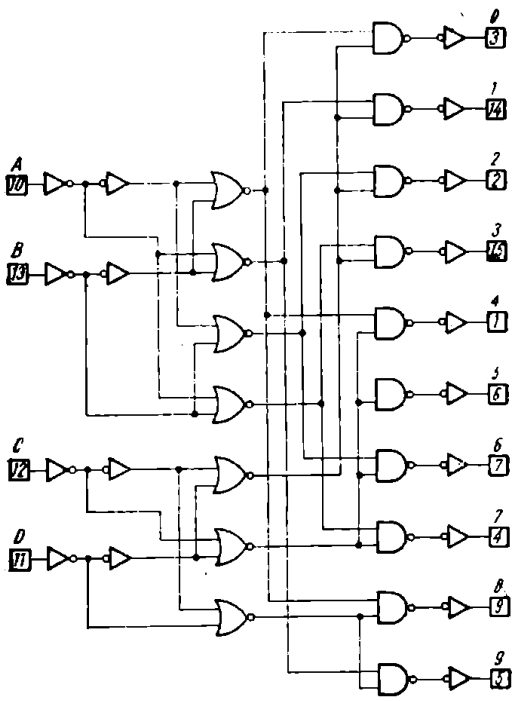
MMC 4028 se poate utiliza și ca demultiplexor de 8 căi, cu intrarea de date activă în **0** logic.

Performanțe

- timp de propagare: 80 ns (tipic) pentru $V_{DD} = 10$ V;
- logică pozitivă la intrări și ieșiri;
- decodare BCD-zecimal sau binar-octal.



Semnificația terminalelor.



Schema logică a circuitului.

D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

Tabela de adevăr.

NUMĂRĂTOR PRESETABIL REVERSIBIL BINAR SAU DECADIC MMC 4029

Circuitul integrat MMC 4029 constă dintr-un numărător sincron cu 4 etaje binar sau decadic (cod BCD), reversibil, prevăzut cu ieșire de transport în ambele moduri de numărare.

Intrările sînt : *CLOCK*-intrare tact, $\overline{CARRY\ IN\ (CLOCK\ ENABLE)}$-intrare transport activă pe **0** logic, o intrare de control a sensului de numărare înainte/înapoi (*UP/DOWN*), o intrare de comandă a modului de numărare binar sau decadic (*BINARY/DECADE*), o intrare de validare a încărcării numărătorului paralel (*PRESET ENABLE*), 4 intrări paralel de date *JAM 1...4*. Ieșirile disponibile sînt Q_1, Q_2, Q_3, Q_4 și $\overline{CARRY\ OUT}$ — ieșire transport, activă pe **0** logic, care indică terminarea ciclului de numărare. Celula numărătorului este de tip *TE* și este descrisă în § 1.8.1.

Informația de la intrările paralel de date, *JAM* , este încărcată în numărător dacă *PRESET ENABLE* este în **1** logic, independent de orice alte condiții la intrări. Cînd intrările *PRESET ENABLE* și $\overline{CARRY\ IN}$ sînt în **0** logic, operarea este sincronă și incrementarea se face la fiecare tranziție pozitivă a semnalului de tact. Cînd oricare dintre aceste intrări este în **1** logic, numărarea este inhibată.

Tipul de operare este determinat de starea intrărilor *UP/DOWN*, *BINARY/DECADE* și $\overline{CARRY\ IN}$. Aceste trei intrări trebuie să fie stabile un interval de timp în jurul frontului pozitiv al semnalului de tact (un timp de stabilire + un timp de menținere față de frontul semnalului).

$\overline{CARRY\ OUT}$ este în mod normal în **1** logic. El trece în **0** logic atunci cînd numărătorul atinge numărul maxim (pentru numărare înainte) sau minim (pentru numărare înapoi), cu condiția ca intrarea $\overline{CARRY\ IN}$ să fie la **0** logic.

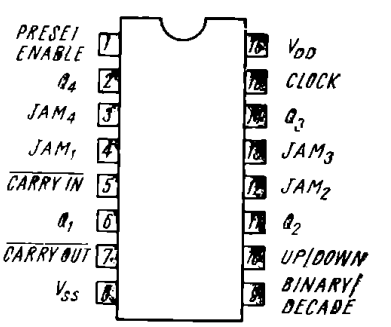
Semnalul *CARRY IN* în starea **0** logic acționează ca un semnal de validare tact. În cazul în care terminalul $\overline{CARRY\ IN}$ nu se folosește, el trebuie legat la potențialul V_{SS}.

Atunci cînd intrarea *BINARY/DECADE* este în **1** logic, se obține numărarea binară ; cînd această intrare este în **0** logic, se obține numărarea decadică. Numărătoarea înainte se obține punînd intrarea *UP/DOWN* în **1** logic, iar cea înapoi cînd intrarea *UP/DOWN* este în **0** logic.

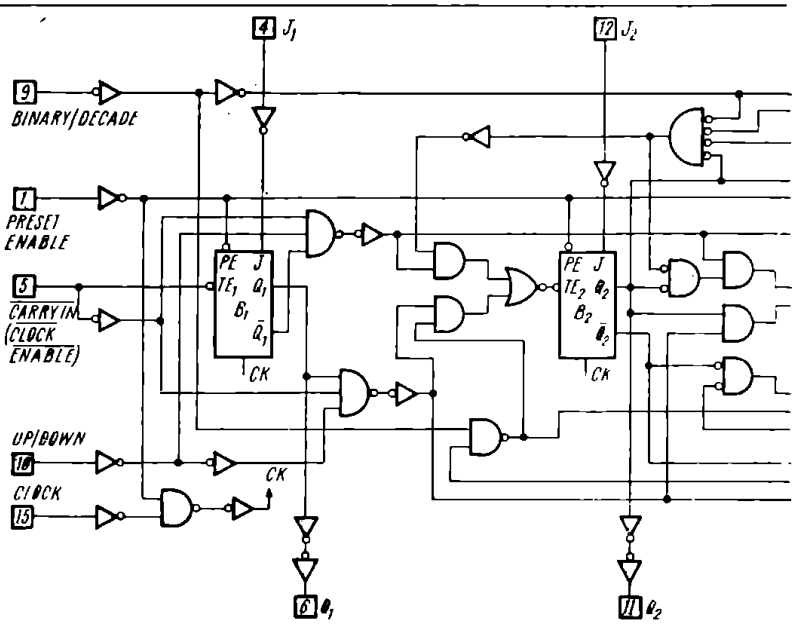
Mai multe capsule se pot cascada fie prin acționarea paralelă a tactului, fie în configurație cu acționare succesivă a tactului (*ripple-clocking*).

Performanțe

- numărător reversibil binar sau decadic ;
- încărcare paralel asincronă ;
- ieșiri BCD în modul decadic ;
- viteză medie de operare : 8 MHz (tipic) la $V_{DD} = 10$ V ;
- ușor cascadabil.



Semnificația terminalelor.



Schema logică

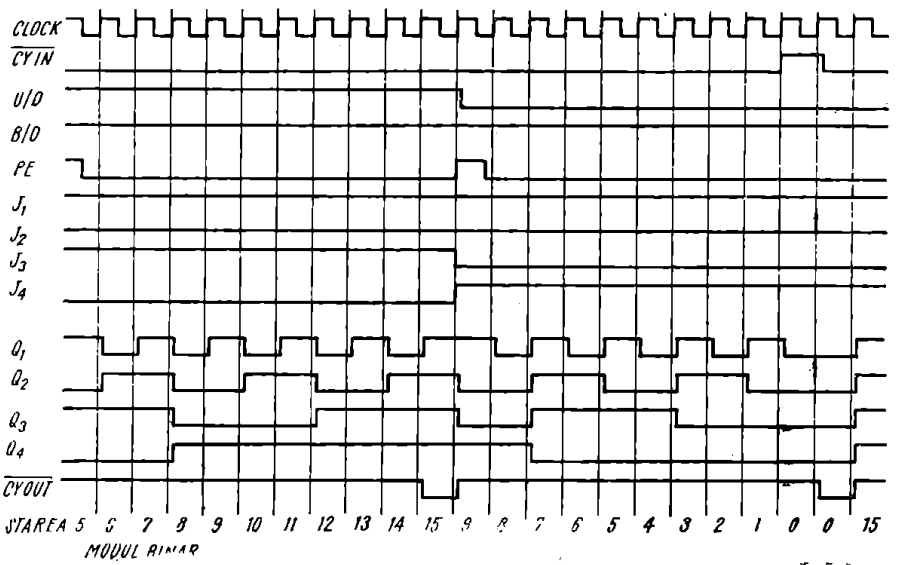
CK	TE	PE	J	Q	Q̄	
x	X	0	0	0	1	
↓	0	1	X	Q̄	Q	
x	X	0	1	1	0	
↓	1	1	X	Q	Q̄	NC
↑	x	1	X	Q	Q	NC

X = Indiferent (0 sau 1)
NC = Starea nu se schimbă

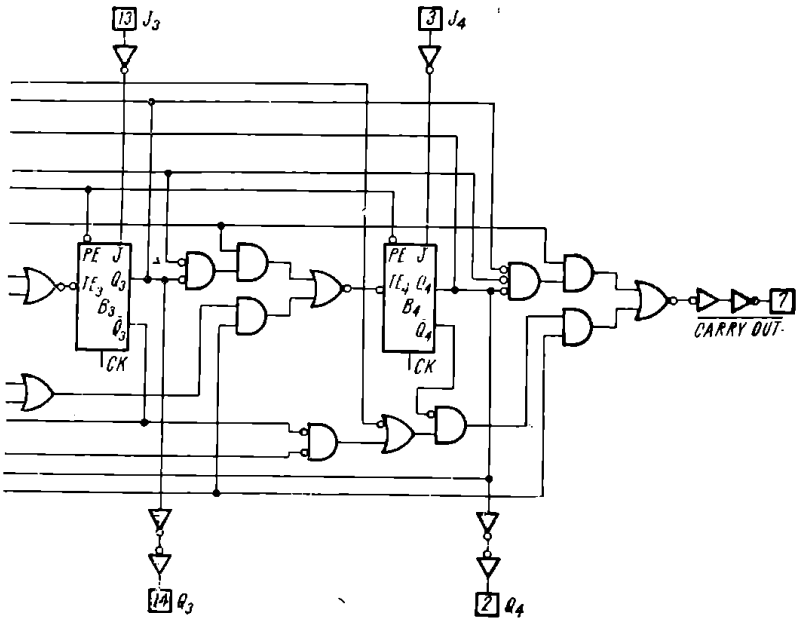
Tabela de adevăr pentru celula numărătorului.

Intrarea de control	Nivel logic	Acțiunea
BIN/DEC (B/D)	1	Numără binar
	0	Numără decadic
UP/DOWN (U/D)	1	Numără înainte
	0	Numără înapoi
PRESET ENABLE (PE)	1	Se încarcă paralel
	0	Nu influențează funcționarea
CARRY IN (CY IN)	1	la ↓ pe CK, nu numără
	0	la ↓ pe CK, numără

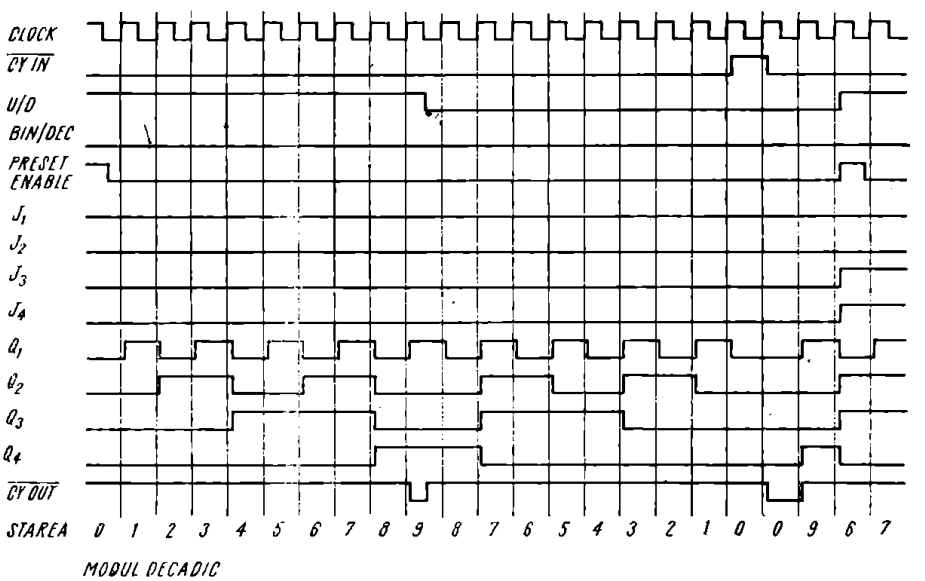
Tabela de adevăr pentru numărător.



Formele de undă pentru modul de lucru **binar.**



a circuitului.



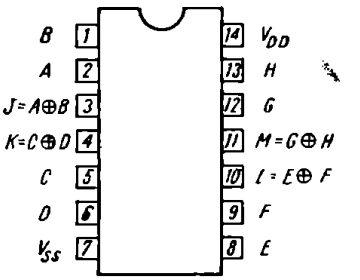
Formele de undă pentru modul de lucru decadic.

Circuitul integrat MMC 4030 conține patru porți SAU-EXCLUSIV(XOR) cu 2 intrări fiecare. Fiecare poartă SAU-EXCLUSIV constă din 4 tranzistoare cu canal *n* și 4 tranzistoare cu canal *p*.

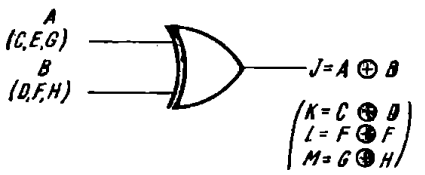
Intrările și ieșirile se fac prin etaje buffer.

Performanțe

- timp de propagare : 65 ns (tipic) pentru C_L = = 50 pF și V_{DD} =10 V ;
- impedanță mică de ieșire ;
- caracteristici de ieșire simetrice.

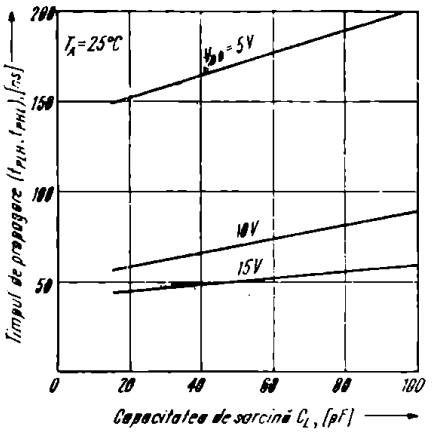


Semnificația terminalelor.

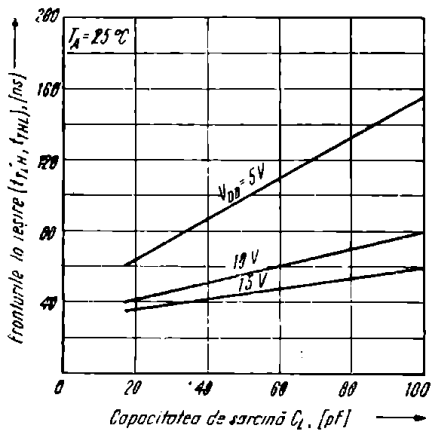


A	B	J
0	0	0
0	1	1
1	0	1
1	1	0

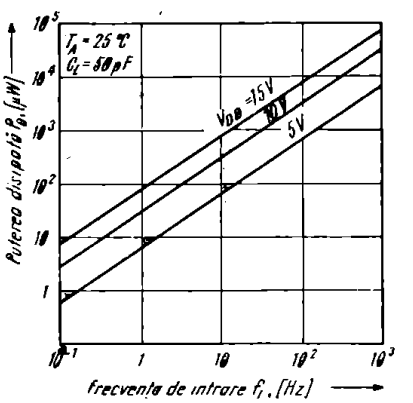
Schema logică și tabela de adevăr pentru o poartă.



Caracteristica tipică timp de propagare — capacitatea de sarcină.



Caracteristica tipică fronturile semnalului de ieșire-capacitatea de sarcină.



Caracteristica putere disipată de o poartă-frecvența semnalului de intrare.

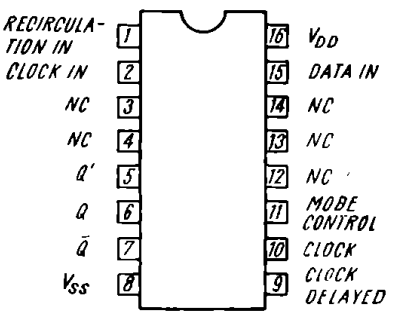
Circuitul integrat MMC 4031 este un registru de deplasare static, format din 64 bistabili master-slave de tip *D* și un latch de tip *D* (numit și o jumătate de etaj, deoarece conține doar secțiunea master a unui bistabil master-slave de tip *D*). Bistabilul de tip *D* este descris în § 1.6.2.

Nivelul logic prezent la intrarea *DATA IN* este transferat în prima celulă și deplasat cu o celulă la fiecare tranziție pozitivă a semnalului de tact (pe intrarea *CLOCK*). Frecvența maximă a semnalului de tact este, tipic de 16 MHz. Deoarece circuitul este static, informația din registru poate fi memorată un timp nedefinit dacă tactul este fie **1**, fie **0** logic. Circuitul are și o intrare de control al modului de lucru (*MODE CONTROL*), care în **1** logic permite operarea în mod de recirculare a datelor. Intrarea *MODE CONTROL* se poate utiliza și ca selector între 2 surse diferite de date.

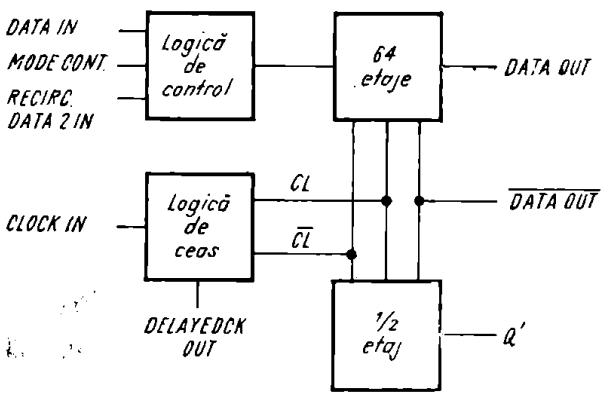
Registrele MMC 4031 se pot cascada în 3 moduri. Pentru a se obține viteze de lucru ridicate, semnalul de tact se aplică în paralel. Al doilea mod de cascadare utilizează ieșirea de tact întîrziat (*DELAYED CLOCK OUT*) pentru comanda registrului următor. Acest tip de cascadare se folosește cînd circuitul de comandă a semnalului de tact al sistemului are un fan-out redus, iar fronturile semnalului de tact sînt lente. A treia opțiune de cascadare folosește ieșirea Q' de la latch-ul *D* care este disponibilă pe următoarea tranziție negativă a tactului, după apariția ieșirii *Q*. Această ieșire întîrziată, ca și tactul întîrziat, se folosește pentru semnale de tact cu fronturi lente.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- capabilitate de comandă TTL standard, la ieșirea *Q*;
- capabilitate de recirculare a datelor;
- 3 moduri posibile de cascadare.



Semnificația terminalelor.



Schema bloc a circuitului.

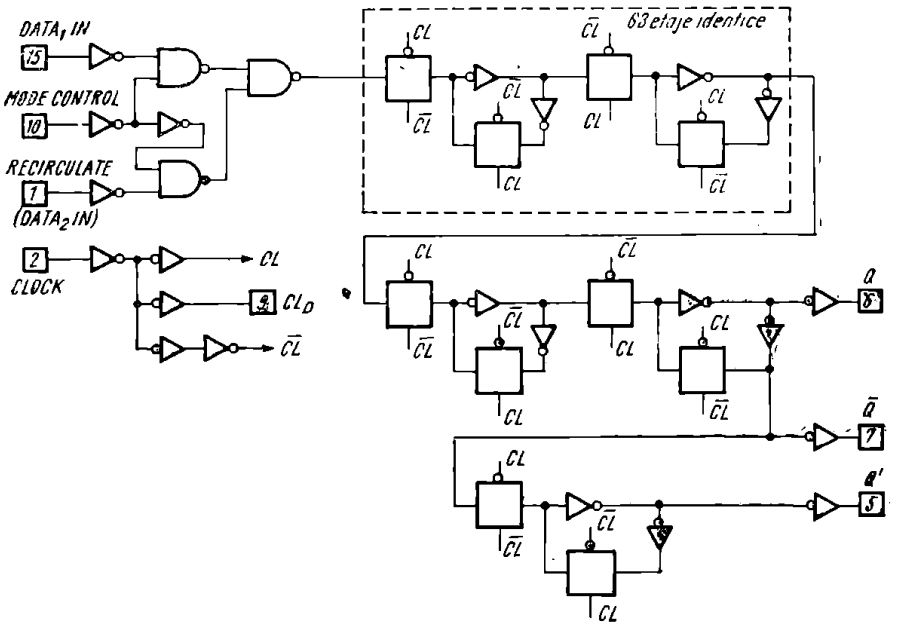
Data	Recirc.	Mod	Conținutul etajului 1
1	X	0	1
0	X	0	0
X	1	1	1
X	0	1	0

X - Indiferent (0 sau 1)
NC - Starea nu se schimbă

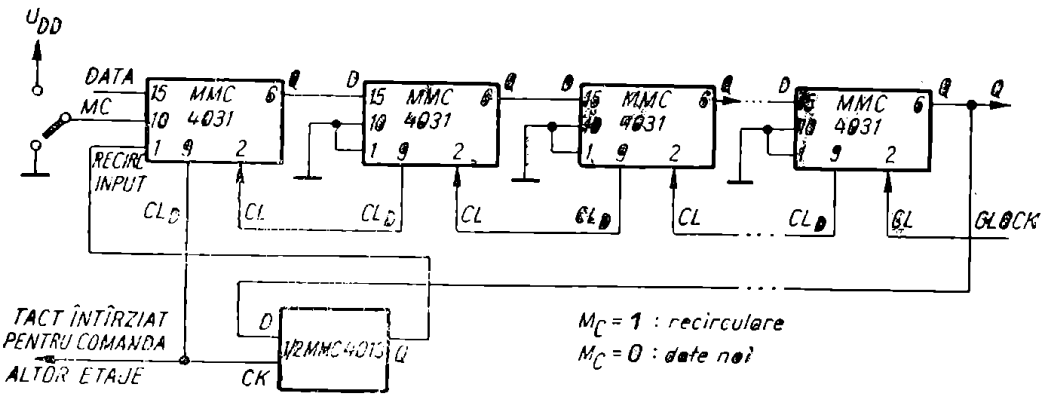
Data	CL	Data+1
0	↑	0
1	↑	1
X	↓	NC

Data+63	CL	Data+64,5
0	↓	0
1	↓	1
X	↑	NC

Tabelele de adevăr pentru circuit.



Schema logică a circuitului.



Mod de cascadare care utilizează ieșirea de tact întîrziat

REGISTRU DE DEPLASARE DE 4 BITI PARALEL/SERIE — MMC 4035

Circuitul integrat MMC 4035 este un registru serie de 4 biți cu intrări sincrone paralel (*PI-1...PI-4*) în fiecare etaj și intrări serie în primul etaj care este un bistabil de tip JK. Etajele 2, 3 și 4 ale registrului sînt bistabili de tip D, legați într-o configurație serie (v. § 1.7), cînd registrul este acționat în modul de lucru serie — intrarea de control paralel/serie (*PARALLEL/SERIAL CONTROL*) în **0** logic.

Intrarea datelor paralel în fiecare etaj al registrului se poate efectua numai cînd intrarea *PARALLEL/SERIAL CONTROL* este în **1** logic. Atît în modul de lucru paralel, cît și în cel serie, informația în registru este deplasată la tranziția pozitivă a semnalului de tact (intrarea *CLOCK*).

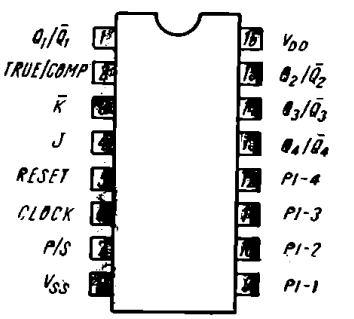
Informația neinversată din registru este disponibilă pe ieșirile $Q_1 \ldots Q_4$ cînd intrarea de control *TRUE/COMPLEMENT* este în **1** logic. Cînd *TRUE/COMPLEMENT* este în **0** logic, pe ieșiri apare informația din registru inversată (complementată). Intrarea *TRUE/COMPLEMENT* acționează asincron față de semnalul de tact.

Bistabilul de intrare de tip JK este plasat la intrarea serie (intrările J și $\bar{K}$), corespunzătoare primului etaj al registrului, în scopul minimizării necesarului de logică suplimentară (deci, alte capsule cu circuite) în aplicațiile de numărare și de generare de secvențe. Legînd intrările JK împreună, primul etaj devine un bistabil de tip D.

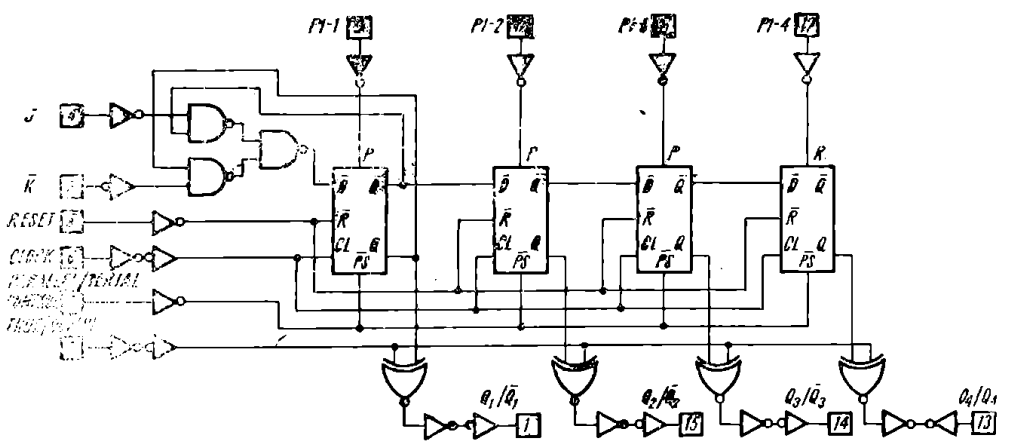
Circuitul are prevăzută și o intrare de *RESET* general, asincronă.

Performanțe

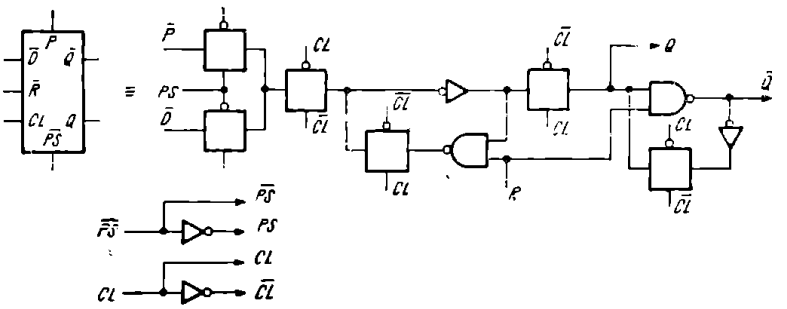
- intrări JK în primul etaj;
- viteză mare: 12 MHz (tipic) pentru $V_{DD} = 10$ V;
- intrare de control asincronă pentru ieșiri inversate/neinversate;
- intrări paralel sincrone în toate cele 4 etaje.



Semnificația terminalelor.



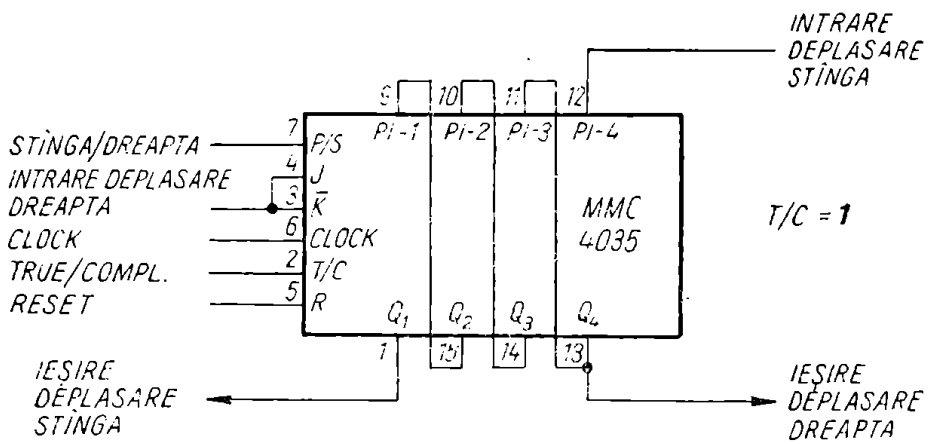
Schema logică a circuitului.



Schema logică a celulei registrului.

Tabela de adevăr pentru circuit.

CK	t_{n-1} (INTRĂRI)				t_n (IEȘIRI)
	J	$\bar{K}$	R	Q_{n-1}	Q_n
↑	0	X	0	0	0
↑	1	X	0	0	1
↑	X	0	0	1	0
↑	1	0	0	Q_{n-1}	$\bar{Q}_{n-1}$ TOGGLE MODE
↑	X	1	0	1	1
↓	X	X	0	Q_{n-1}	Q_{n-1}
X	X	X	1	X	0

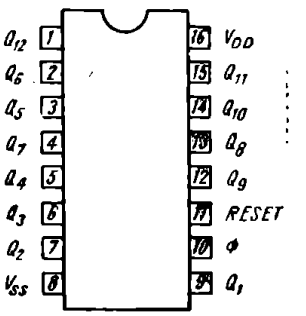


Registru de deplasare universal.

Circuitul integrat MMC 4040 este un numărător binar asincron (cu transport succesiv) de 12 biți. Toate etajele numărătorului sînt circuite bistabile master-slave tip T (v. § 1.8.1). Numărătorul incrementează pe fiecare front negativ (tranziție negativă) al fiecărui impuls de intrare.

Nivelul **1** logic al intrării *RESET* aduce toate ieșirile numărătorului în **0** logic.

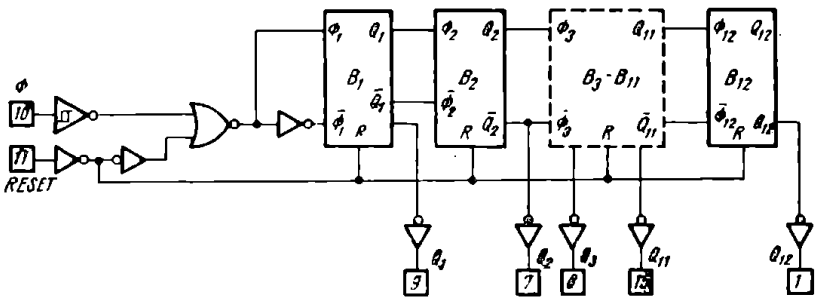
Circuitul trigger Schmitt de la intrare permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente. Toate intrările și ieșirile au etaje buffer.



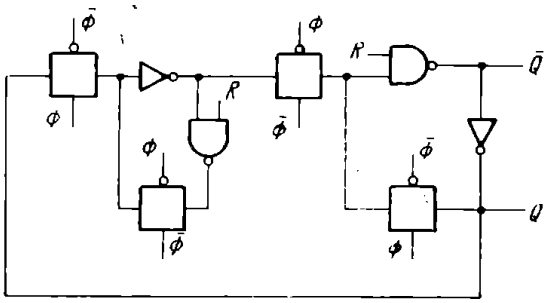
Semnificația terminalelor.

Performanțe

- viteză medie de operare: 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare statică;
- caracteristici de ieșire simetrice.



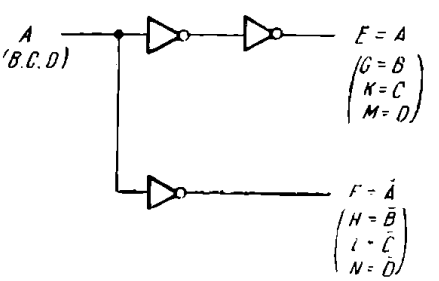
Schema logică a circuitului.



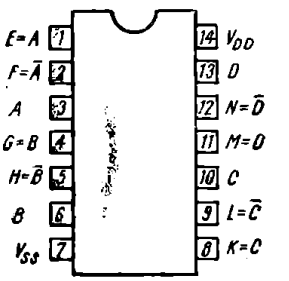
Schema logică a celulei.

Circuitul integrat MMC 4041 conține patru etaje buffer inversoare/neinversoare (*true/complement*), realizate din tranzistoare cu canal *n* și *p* de curent mare, comparativ cu standardul seriei 4000.

Circuitul MMC 4041 este destinat utilizării ca buffer, circuit de comandă pentru linii (*line driver*) sau interfață CMOS-TTL. Poate fi folosit ca circuit de comandă cu consum redus pentru rețelele de rezistențe din convertoarele A/D sau D/A, pentru linii de transmisie sau pentru alte aplicații care solicită imunitate mare la zgomot și/sau consum redus de putere.



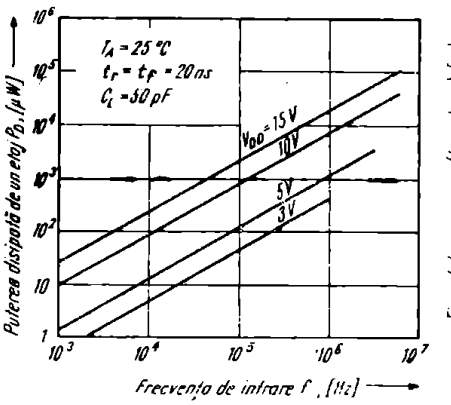
Schema logică a unui buffer.



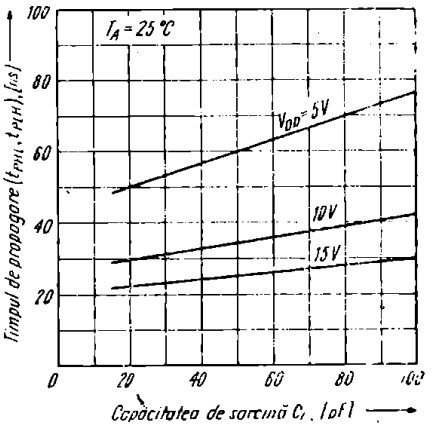
Semnificația terminalelor.

Performanțe

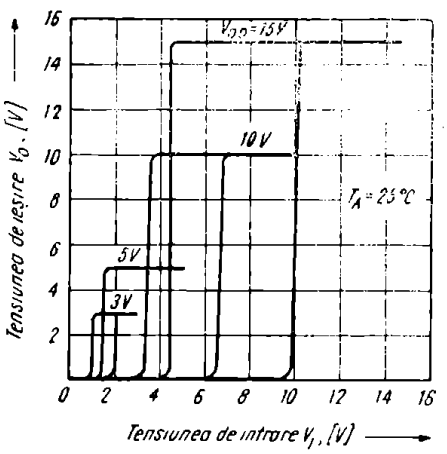
- capabilitate mare de curent: aproximativ de 4 ori mai mare decît standardul seriei 4000 (v. cap. 2);
- timp de propagare egal spre ambele ieșiri: 35 ns (tipic) pentru $V_{DD} = 10$ V;
- caracteristici de ieșire simetrice.



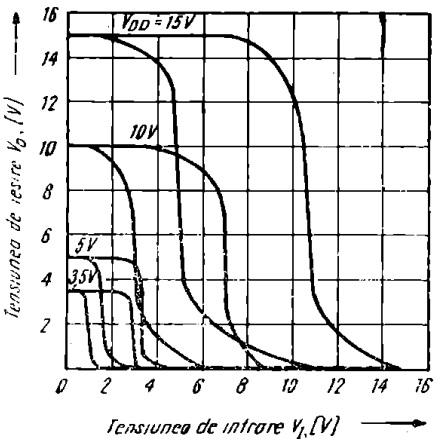
Puterea disipată de un etaj funcție de frecvența semnalului de intrare.



Caracteristica tipică de propagare și capacitatea de sarcină.



Caracteristica de transfer pentru ieșirea neinversoare.



Caracteristica de transfer pentru ieșirea inversoare.

Circuitul integrat MMC 4012 conține patru latch-uri acționate de un semnal de tact (ceas) comun (intrarea *CLOCK*). Fiecare latch are ieșiri complementare (Q și $\bar{Q}$) cu buffer.

Pe durata nivelului de **1** sau **0** logic al semnalului de tact (programat de intrarea *POLARITY*), ieșirile Q și $\bar{Q}$ urmăresc intrarea de date *D*. Cînd intrarea *POLARITY* este în **0** logic transferul datelor are loc pe nivelul de **0** logic al semnalului de tact, iar cînd intrarea *POLARITY* este în **1** logic, transferul datelor se realizează pe nivelul **1** logic al semnalului de tact. Ieșirile urmăresc intrările de date în funcție de nivele definite anterior pentru intrările *POLARITY* și *CLOCK*. La apariția unei tranziții a semnalului de tact (pozitivă pentru *POLARITY* = **0** și negativă pentru *POLARITY* = **1**), informația prezentă la intrare pe durata tranziției semnalului de tact este menținută la ieșiri pînă la apariția unei tranziții de sens opus a semnalului de tact.

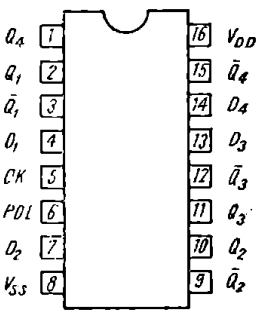
Performanțe

- controlul polarității semnalului de tact;
- semnal de tact comun;
- capabilitate de comandă LPTTL;
- timp de propagare de la intrarea *DATA* la ieșirea Q: 55 ns (tipic) pentru V_{DD} = 10 V.

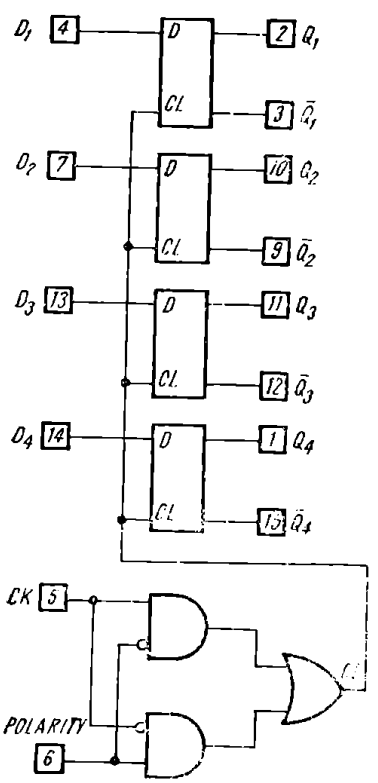
CK	*POL*	*Q*
0	0	*D*
↓	0	▲
1	1	*D*
↑	1	▲

▲ – Memorează informația de pe intrare

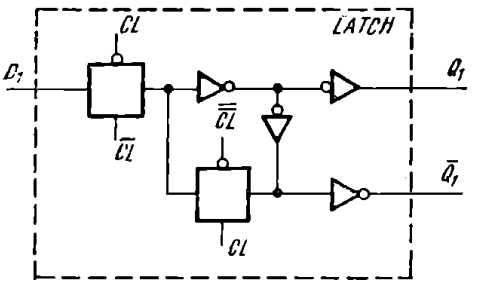
Tabela de adevăr a circuitului.



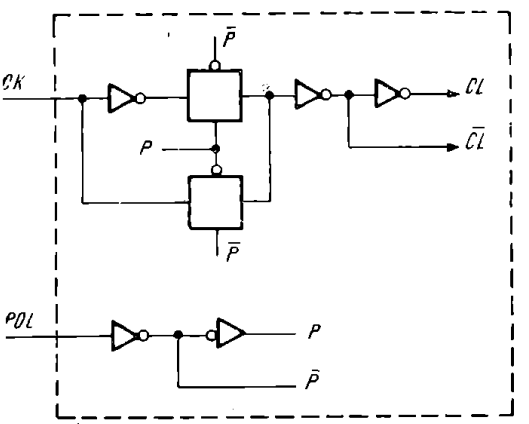
Semnificația terminalelor.



Schema logică a circuitului.



Schema logică a unui latch.



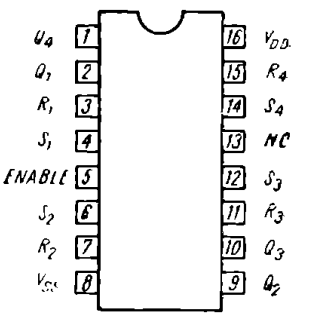
Schema logică pentru semnalele de comandă.

MMC 4043 PATRU LATCH-URI „3-STATE" DE TIP RS CU PORȚI SAU-NU

Circuitul integrat MMC 4043 conține patru latch-uri de tip *RS* — realizate cu porți SAU-NU (NOR) în configurație încrucișată — și ieșiri „3-state".

Fiecare latch are o ieșire separată *Q* și intrări individuale de *SET* și *RESET* (v. § 1.6.1). Ieșirile *Q* sînt controlate de o intrare comună de validare (*ENABLE*).

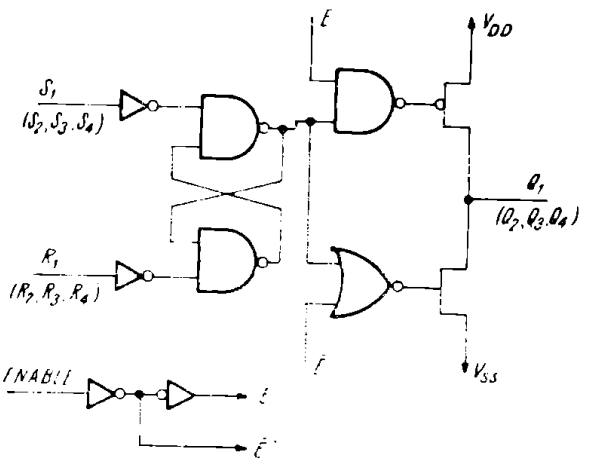
Un nivel **1** logic pe intrarea *ENABLE* permite transmiterea stării latch-urilor la ieșirile *Q*. Un nivel **0** logic pe această intrare *ENABLE* inhibă transmiterea stării latch-urilor la ieșirile *Q*, obținîndu-se o stare de impedanță ridicată (sau „gol") la ieșirile *Q*. Această facilitate permite legarea ieșirilor pe o magistrală (bus) comună de date.



Semnificația terminalelor.

Performanțe

- ieșiri „3-state" cu intrare comună de validare;
- intrări *SET* și *RESET* separate la fiecare latch;
- timp de propagare: 70 ns (tipic) pentru $V_{DD} = 10$ V.



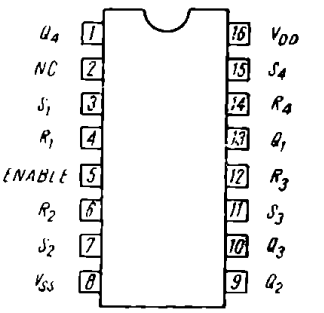
Schema logică a unui latch.

PATRU LATCH-URI „3-STATE" DE TIP RS CU PORȚI SI-NU MMC 4044

Circuitul integrat MMC 4044 conține patru latch-uri de tip *RS* — realizate cu porți SI-NU (NAND) în configurație încrucișată — și ieșiri „3-state".

Fiecare latch are ieșire separată *Q* și intrări individuale de *SET* și *RESET* (v. § 1.6.1). Ieșirile *Q* sînt controlate de o intrare comună de validare (*ENABLE*).

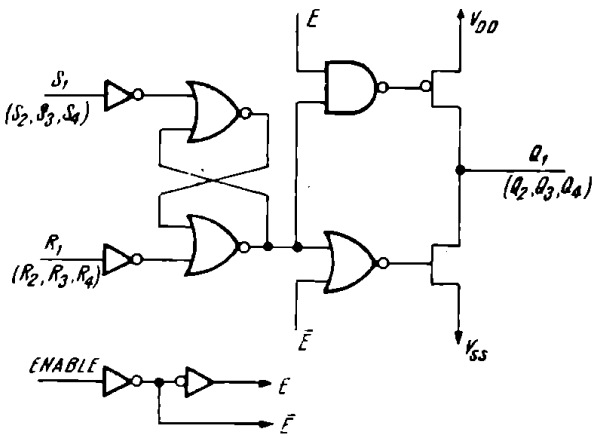
Un nivel **1** logic la intrarea *ENABLE* permite transmiterea stării latch-urilori la ieșirile *Q*. Un nivel **0** logic la această intrare *ENABLE* inhibă transmiterea stări latch-urilor la ieșirile *Q*, obținîndu-se o stare de impedanță ridicată (sau „gol") la ieșirile *Q*. Această facilitate permite legarea ieșirilor pe o magistrală (bus) comună de date.



Semnificația terminalelor.

Performanțe

- ieșiri „3-state" cu intrare comună de validare;
- intrări *SET* și *RESET* separate la fiecare latch;
- timp de propagare: 70 ns (tipic) pentru $V_{DD} = 10$ V.



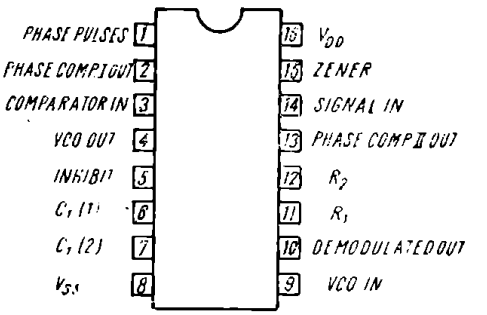
Schema logică a unui latch.

Circuitul integrat MMC 4046 reprezintă o buclă cu calare de fază (**P***hase-***L***ocked-***L***oop-***PLL**) și constă dintr-un oscilator comandat în tensiune (**V***oltage* ***C****ontrolled* ***O****scillator* — **VCO**), două comparatoare de fază cu intrări comune și o diodă Zener de 5,2 V cu anodul conectat la V_{SS} și catodul disponibil în exterior (terminalul *15*).

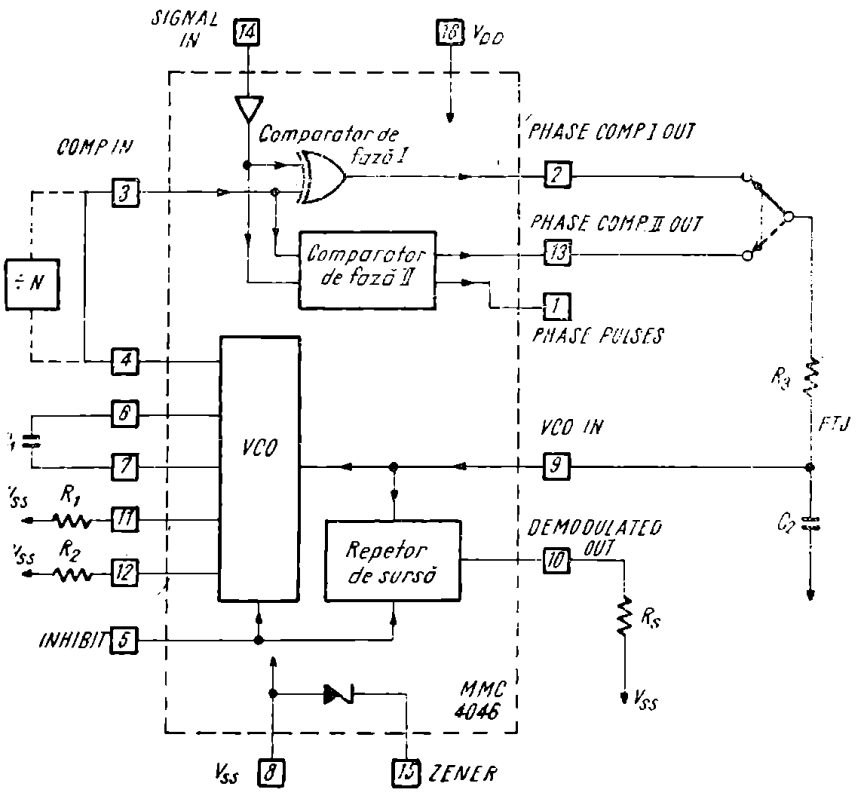
Oscilatorul comandat în ensiune (VCO)

Etajul *VCO* (fig. A) folosește două componente pasive externe: un condensator C_1 și una sau două rezistențe (R_1 sau R_1 și R_2). Rezistența R_1 și condensatorul C_1 determină plaja de frecvență a etajului *VCO*, iar cu rezistența R_2 se poate obține o deplasare a frecvenței centrale a domeniului.

Impedanța de intrare ridicată (10^{12} Ω) a *VCO* simplifică proiectarea filtrelor trece-jos (*FTJ*), permițînd alegerea raportului rezistență-condensator într-o gamă largă. Pentru a nu încărca *FTJ*, semnalul de la intrarea *VCO* este disponibil în exterior (terminalul *10* — *DEMODULATED OUTPUT*) prin intermediul unui repetor pe sursă. Dacă se folosește această ieșire, de la terminal spre V_{SS} se va conecta o rezistență de sarcină (R_s) de minim 10 kΩ. Dacă nu se utilizează, termi-



Semnificația terminalelor.



Schema unui sistem **PLL** CMOS.

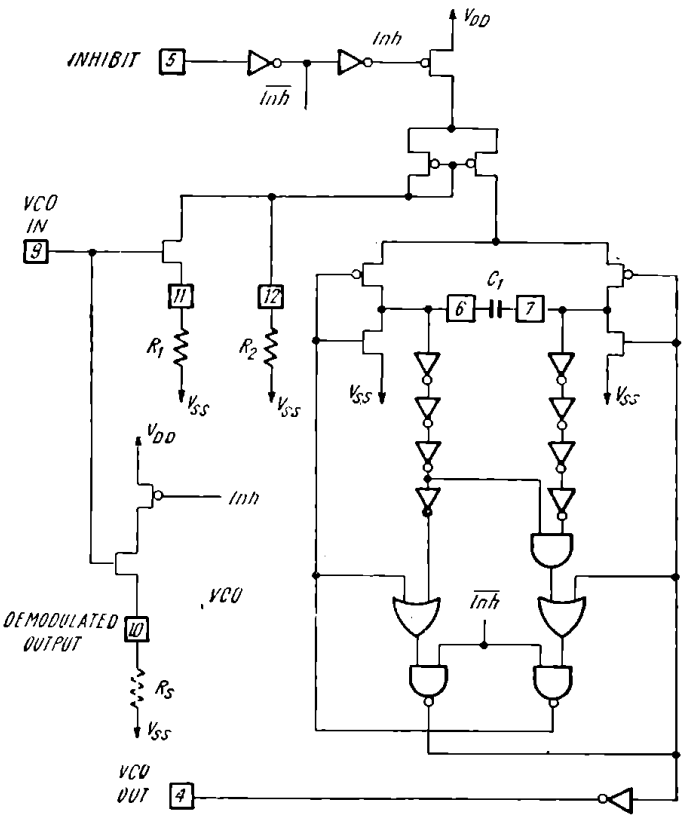


Fig. A. Schema logică a oscilatorului comandat în tensiune *(VCO)*.

nalul va fi lăsat în gol. *VCO* poate fi conectat direct sau prin intermediul unor divizoare de frecvență la intrarea *COMPARATOR IN* a comparatoarelor de fază. Semnalul de la ieșirea *VCO* are nivele CMOS, fapt care permite conectarea directă a divizoarelor de frecvență CMOS MMC 4024, MMC 4018, MMC 420, MMC 4022, MMC 4029 etc. Cu un circuit MMC 4046 și unul sau mai multe divizoare MMC 4018 sau MMC 4029 se poate construi un sintetizor de joasă frecvență.

Un nivel **0** logic pe intrarea *INHIBIT* permite funcționarea *VCO* și a repetorului pe sursă, în timp ce un **1** logic decuplează aceste etaje de la sursa de alimentare, reducînd astfel, puterea disipată în „*stand-by*".

Comparatoarele de fază (fig. B)

Intrarea de semnal a comparatoarelor de fază (*SIGNAL IN* — terminalul *14*) poate fi conectată direct dacă semnalul este în plaja nivelelor logice CMOS (**0** logic $\leqslant 30\%$ $(V_{DD} - V_{SS})$; **1** logic $\geqslant 70\%$ $(V_{DD} - V_{SS})$). Pentru plaje mai restrînse, semnalul se poate cupla capacitiv la intrarea amplificatorului de semnal pe intrare.

Comparatorul pe fază I este o poartă SAU-EXCLUSIV (XOR). Dacă semnalele de pe intrările *SIGNAL IN* și *COMPARATOR IN* au un factor de umplere de 50%, se obține banda de captură maximă.

Comparatorul de fază I are o tensiune medie de ieșire egală cu $V_{DD}/2$, dacă pe intrarea *SIGNAL IN* nu există semnal sau zgomot. Tensiunea medie se obține

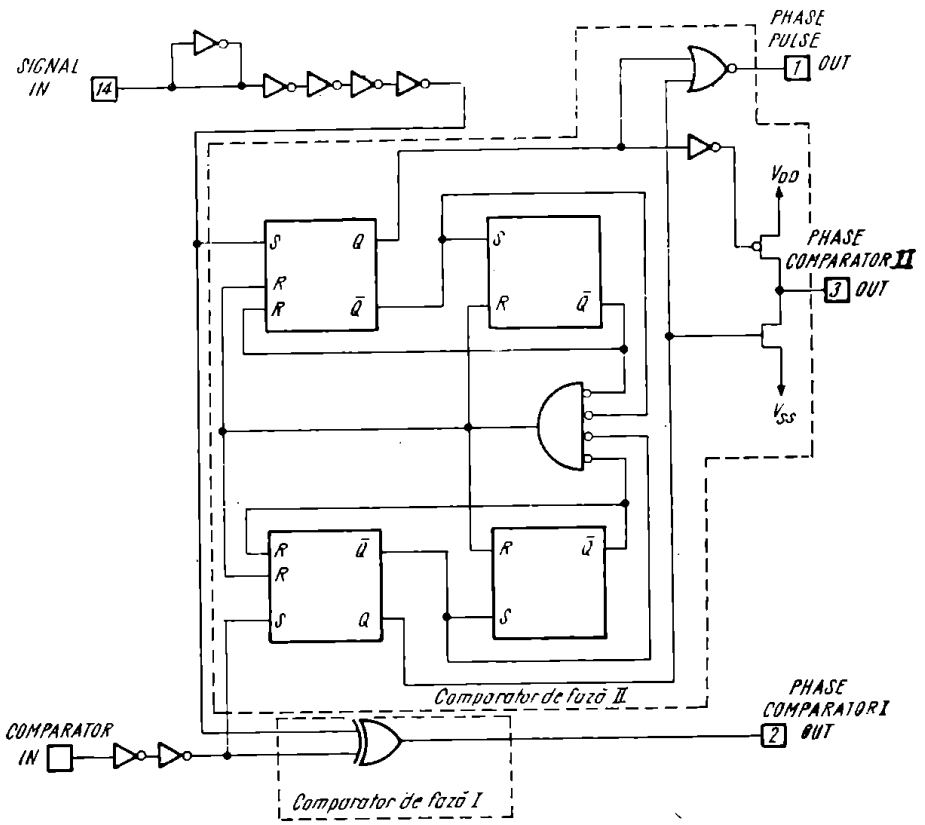


Fig. B. Schema logică a comparatoarelor de fază.

trecînd semnalul dat de comparatorul de fază prin filtrul trece-jos (*FTJ*). Această tensiune aplicată la intrarea *VCO* determină frecvența de oscilație liberă f_0.

Ieșirea comparatorului de fază se conectează prin intermediul filtrului trece-jos (*FTJ*) la intrarea de comandă a *VCO*. În felul acesta, frecvența de oscilație a *VCO* este determinată de tensiunea medie a semnalului de la ieșirea comparatorului

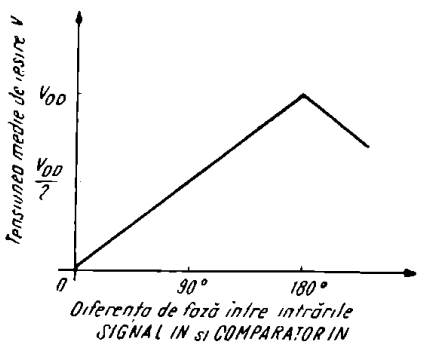


Fig. C. Caracteristica comparatorului de fază I la ieșire FTJ.

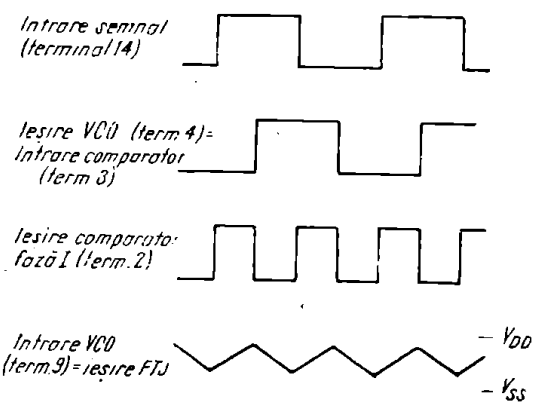


Fig. D. Formele de undă pentru un sistem *PLL* care utilizează comparatorul de fază I.

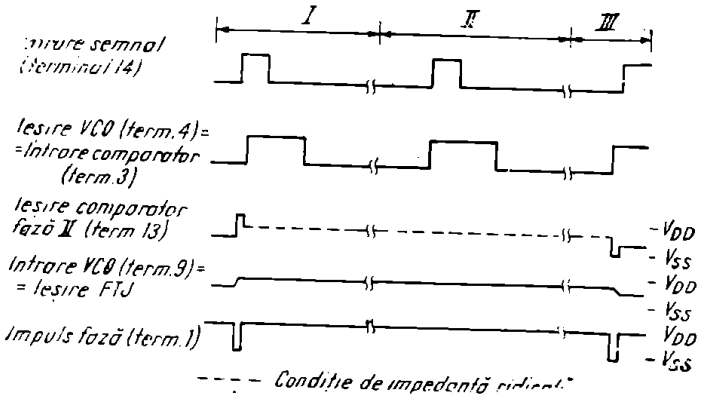


Fig. E. Formele de undă pentru un sistem PLL care utilizează comparatorul de fază II.

de fază. Dacă la intrarea comparatorului de fază nu există semnal util sau zgomot, tensiunea de comandă obținută la ieșirea *FTJ* ($V_{DD}/2$) determină frecvența de oscilație liberă f_0.

Banda de captură ($2f_c$) este domeniul de frecvență a semnalelor de intrare în care circuitul poate ajunge la calarea fazei. Banda de urmărire ($2f_L$) este domeniul de frecvență al semnalelor de intrare în care circuitul, odată „prins", poate urmări variațiile de frecvență. Banda de captură este cel mult egală cu banda de urmărire. Pentru comparatorul de fază I, banda de captură, dependentă de caracteristica FTJ, poate atinge mărimea benzii de urmărire.

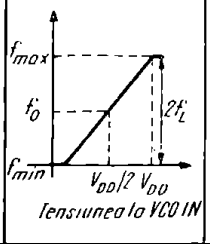
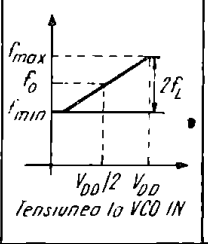
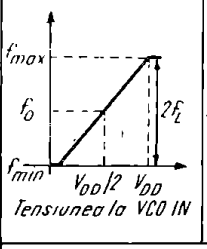
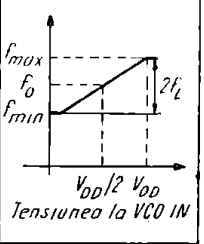
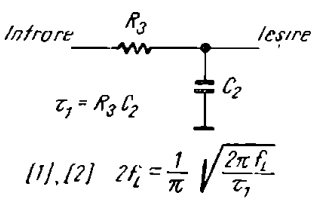
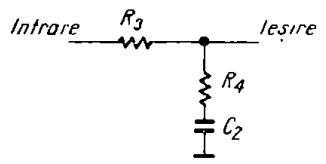
Chiar pentru un semnal de intrare zgomotos, bucla *PLL*, cuprinzînd comparatorul I, poate să rămînă calată.

Acest tip de comparator permite calarea benzii de frecvență de intrare apropiate de armonicile frecvenței libere a *VCO*. O a doua caracteristică este reprezentată de faptul că defazajul între semnalul de intrare (*SIGNAL IN*) și semnalul *COMPARATOR IN* variază între 0° și 180° și este de 90° pentru frecvența liberă f_0. În figura C este prezentată caracteristica tipică a comparatorului de fază I. Formele de undă tipice pentru un *PLL* realizat cu comparatorul de fază I, calat pe frecvența liberă f_0, sînt prezentate în figura D.

Ieșirea comparatorului de fază II nu mai depinde de factorul de umplere al semnalelor de pe intrări, ci numai de poziția relativă a fronturilor lor pozitive. Acest comparator constă din patru bistabili, logică de control și un etaj de ieșire „3-state". Ieșirea este „trasă" la V_{SS} sau V_{DD} după cum este deschis tranzistorul MOS cu canal *n*, respectiv tranzistorul MOS cu canal *p*.

Dacă frecvența semnalului de intrare este mai mare decît frecvența semnalului de la intrarea comparatorului, tranzistorul MOS cu canal *p* de la ieșire este menținut deschis o mare parte din timp, iar în restul timpului ambele tranzistoare (cu canal *n* și cu canal *p*) de ieșire sînt blocate („3-state"). Dacă frecvența semnalului de intrare este mai mică decît frecvența semnalului de la intrarea comparatorului, tranzistorul MOS cu canal *n* de la ieșire va fi deschis o mare parte de timp, iar în restul timpului ambele tranzistoare (cu canal *n* și cu canal *p*) de ieșire — blocate („3-state"). Dacă semnalele de pe intrările comparatorului de fază au aceeași frecvență, dar semnalul de intrare este defazat înainte față de semnalul de la intrarea comparatorului, tranzistorul MOS cu canal *n* de la ieșire va fi deschis cît

timp semnalele sînt, amîndouă, în **1** logic. Dacă frecvența semnalelor de intrare și de la intrarea comparatorului este aceeași, dar semnalul de la intrarea comparatorului este defazat înainte față de semnalul de intrare, tranzistorul MOS cu canal *p* de la ieșire va fi deschis (cît timp semnalele sînt amîndouă în **0** logic). Astfel, tensiunea de pe capacitorul *FTJ* conectat la acest comparator de fază este ajustată pînă cînd semnalele de la intrare și de la intrarea comparatorului sînt în fază și au aceeași frecvență. În acest punct stabil, ambele tranzistoare de la ieșire,

Caracteristici	Utilizînd comparatorul de fază I		Utilizînd comparatorul de fază II	
	VCO fără offset $R_2=\infty$	VCO cu offset	VCO fără offset $R_2=\infty$	VCO cu offset
Frecvența VCO				
Fără semnal la intrare	VCO se va cala pe frecvența centrală f_0		VCO se va cala pe frecvența minimă de operare, f_{min}	
Banda de urmărire $2f_L$	$2f_L$ = Banda maximă de frecvență a VCO $2f_L = f_{max} - f_{min}$			
Banda de captură $2f_C$			$f_C = f_L$	
Selecția componentelor FTJ	 Vezi [2] pentru $2f_C$			
Unghiul de fază între semnal și comparator	90° la frecvența centrală (f_0) aprox. 0° și 180° la capetele benzii de urmărire ($2f_L$)		Întodeauna 0° la calare	
Calare pe armonici ale frecvenței centrale	Da		Nu	
Rejecția de zgomot la intrarea de semnal	Ridicată		Coborîtă	

[1] F. Gardner – "Phase-Lock Techniques" John Wiley 1966
[2] G.S. Moschytz – "Miniaturized RC Filters Using PLL", BSTJ, may 1965

Tabel sintetic cu informații de proiectare cu MMC 4046.

cu canal *n* şi cu canal *p*, rămîn blocate, ieşirea comparatorului de fază prezentînd o impedanţă mare de ieşire („3-state"). Se va menţine, astfel, constantă tensiunea pe capacitorul *FTJ*. Semnalul de la ieşirea *PULSE PHASES* (terminalul *1*) va fi la un nivel **1** logic şi va putea fi utilizat ca indicator al condiţiei de calare. Astfel, în cazul comparatorului de fază II nu va exista diferenţă de fază între semnalele de intrare şi de la intrarea comparatorului pe toată gama de frecvenţă a *VCO*. În plus, puterea disipată pe *FTJ* va fi minimă atunci cînd se utilizează acest comparator de fază, deoarece ambele tranzistoare de ieşire sînt blocate în cea mai mare parte a perioadei semnalului de intrare. Trebuie observat că banda de urmărire a *PLL*, în cazul utilizării acestui comparator de fază este egală cu banda de captură, independent de *FTJ*.

Cînd se utilizează comparatorul de fază II, *VCO* este ajustat pe frecvenţa cea mai coborîtă dacă nu există semnal de intrare (*SIGNAL IN* — terminalul *14*). Figura E reprezintă formele de undă tipice pentru un sistem *PLL* care utilizează comparatorul de fază II la calare.

Componentele exterioare utilizate

Componentele exterioare pasive utilizate trebuie să fie în următoarele game:

- 5 kΩ $\leqslant R_1, R_2, R_s \leqslant$ 1 MΩ;
- $C_1 \geqslant$ 100 pF pentru $V_{DD} \geqslant$ 5 V;
- $C_1 \geqslant$ 50 pF pentru $V_{DD} \geqslant$ 10 V.

Performanţe

- două tipuri de comparatoare de fază;
- putere disipată redusă: 100 μW (tipic) pentru *VCO* $f_0 =$ 10 kHz, $V_{DD} =$ 5 V;
- gamă de frecvenţă pînă la 1,4 MHz (tipic) pentru $V_{DD} =$ 10 V;
- coeficient de variaţie de frecvenţă: 0,06%/°C (tipic) pentru $V_{DD} =$ 10 V.

Circuitul integrat MMC 4047 poate funcționa ca :

a) monostabil neretriggerabil comandat pe frontul pozitiv sau pe frontul negativ ;

b) monostabil trigerabil comandat pe frontul pozitiv ;

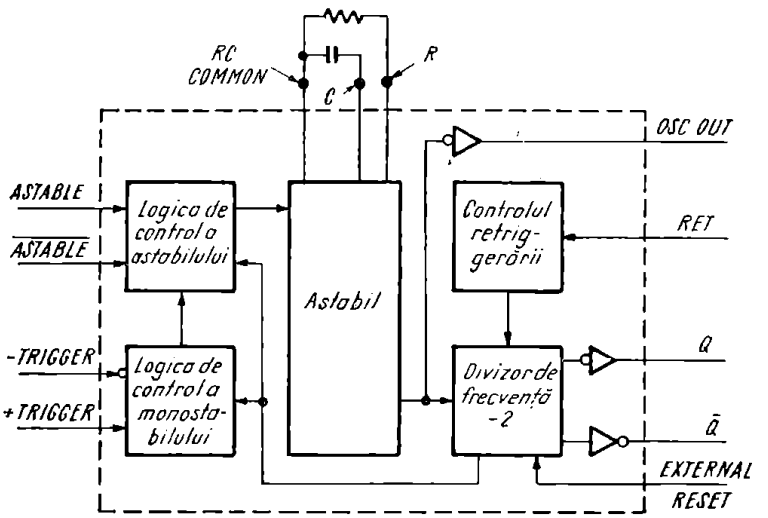
c) astabil cu funcționare continuă ;

d) astabilă cu comandă START-STOP (poate genera trenuri de impulsuri).

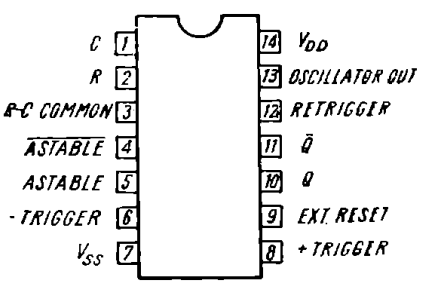
Blocul principal al circuitului este un astabil. Semnalul generat de astabil (disponibil la terminalul *OSCILLATOR OUT* și, în general, cu factorul de umplere $\neq 1/2$) este divizat cu 2 de un bistabil. Ieșirile acestui bistabil sînt disponibile în exterior (Q, $\bar{Q}$). Semnalele de pe Q, $\bar{Q}$ sînt în antifază și au factorul de umplere de 1/2. Toate ieșirile sînt cu buffer.

Astabilul este prevăzut cu o logică suplimentară care să permită funcționarea ca monostabil a circuitului. În toate modurile de lucru, temporizarea este dată de două componente externe : un condensator între terminalele *C* și *RC COMMON* și un rezistor între terminalele *R* și *RC COMMON*.

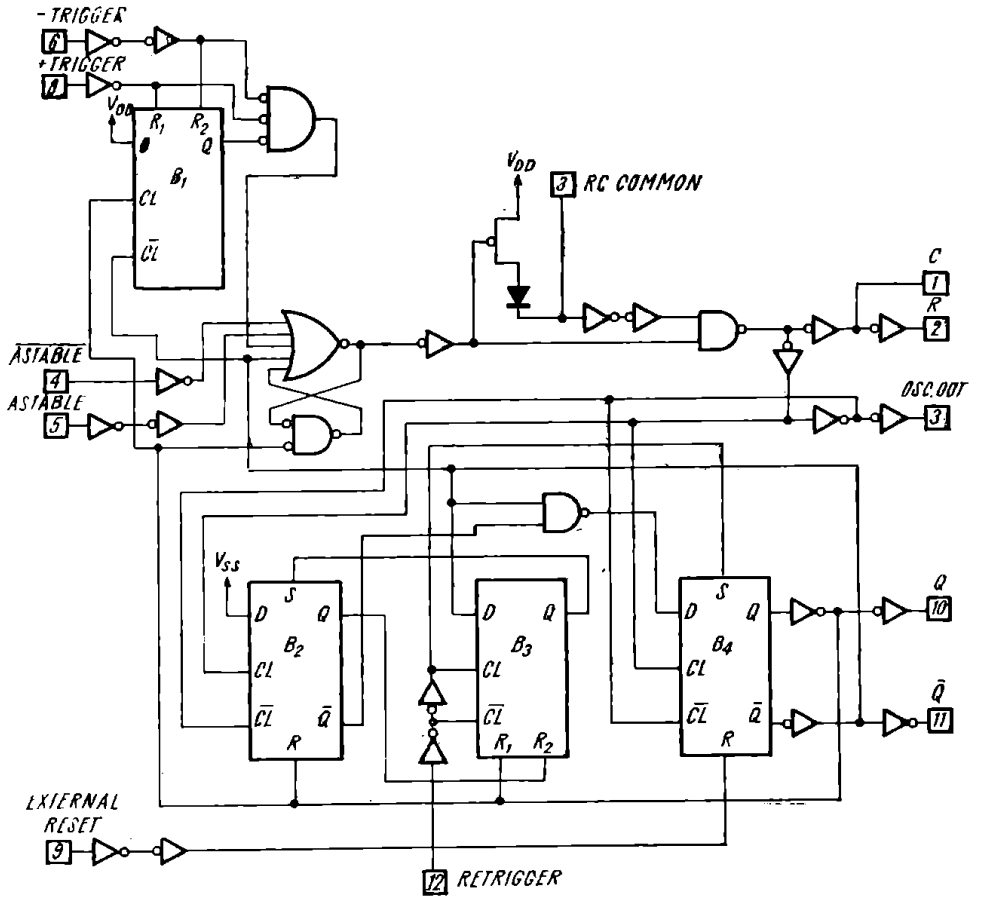
Dacă intrarea *ASTABLE* este în **1** logic sau dacă intrarea $\overline{ASTABLE}$ este în **0** logic, circuitul funcționează în mod astabil (c), generînd în continuu impulsuri. Dacă intrarea $\overline{ASTABLE}$ este în starea **1** logic circuitul va oscila doar atît timp cît și intrarea *ASTABLE* este în starea **1** logic. Deci, apariția impulsurilor la ieșire este condiționată de existența unui semnal de comandă în starea **1** logic. Asemănător, ținînd intrarea *ASTABLE* în starea **0** logic, astabilul va funcționa doar atunci cînd intrarea $\overline{ASTABLE}$ este în starea **0** logic. În acest fel vom avea impulsuri la ieșiri numai atunci cînd un anumit semnal de comandă (pe $\overline{ASTABLE}$) este în **0** logic.



Schema bloc a circuitului.



Semnificația terminalelor.



Schema logică a circuitului.

În modul de lucru monostabil, circuitul poate fi triggerat de frontul pozitiv al impulsului aplicat pe intrarea $+TRIGGER$, dacă se menține intrarea $-TRIGGER$ în starea **0** logic sau poate fi triggerat de frontul negativ al impulsului aplicat pe intrarea $-TRIGGER$, dacă se menține un nivel **1** logic pe intrarea $+TRIGGER$. Monostabilul este comandat pe front și impulsurile de intrare pot avea orice durată relativ la impulsurile de ieșire.

Circuitul poate funcționa ca monostabil retriggerabil, dar comandat numai de frontul pozitiv al unui semnal aplicat simultan pe intrările $\downarrow RETRIGGER$ și $+TRIGGER$. În acest fel, ieșirea Q va rămîne în **1** logic atît timp cît perioada impulsurilor de intrare este mai mică decît perioada determinată de componentele R, C (v. fig. A).

Un nivel **1** aplicat pe intrarea *EXTERNAL RESET* aduce ieșirile Q și *OSCILLATOR OUT* în starea **0** și ieșirea $\overline{Q}$ în **1** logic. Pentru a nu permite apariția unui impuls parazit la ieșire, la cuplarea sursei de alimentare se va menține un nivel logic **1** pe intrarea *EXTERNAL RESET* (v. fig. B). Pentru funcționarea circuitului într-un anume mod, conexiunile se vor face conform tabelei anexate.

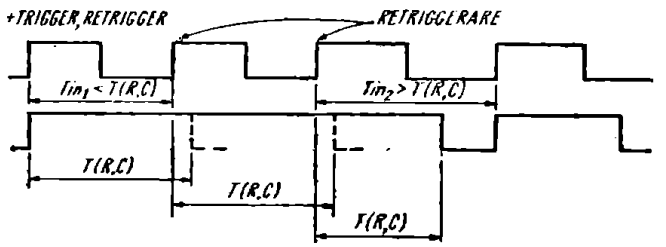


Fig. A. Formele de undă ale impulsurilor de retrigger în modul de lucru monostabil retriggerabil.

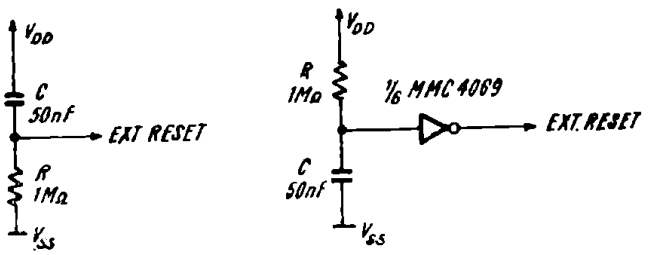


Fig. B. Circuitele externe recomandate pentru a evita comutări parazite la cuplarea sursei de alimentare.

Operarea în modul astabil

În figura C sînt prezentate formele de undă de la ieşirile *OSCILLATOR OUT* şi *Q* pentru modul astabil. Duratele t_1, t_2, t_A au expresiile:

$$t_1 = -RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}}$$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}}$$

$$t_A = 2(t_1 + t_2) = -2RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

unde V_{TR} este tensiunea de tranziţie a cărei valoare variază de la circuit la circuit, între 33% şi 67% din valoarea tensiunii de alimentare V_{DD}.

Mai jos sînt date valorile duratei t_A pentru valorile minimă, tipică şi maximă ale tensiunii de tranziţie:

$$V_{TR} = V_{TR\,min} = 0{,}33\ V_{DD},\ t_A = 4{,}62\ RC$$

$$V_{TR} = V_{TR\,tip} = 0{,}5\ V_{DD},\ t_A = 4{,}4\ RC$$

$$V_{TR} = V_{TR\,max} = 0{,}67\ V_{DD},\ t_A = 4{,}62\ RC$$

Variaţia maximă a duratei faţă de valoarea tipică $t_A = 4{,}4\ RC$ este de +5%. Perioada semnalului generat mai variază cu tensiunea de alimentare şi cu temperatura.

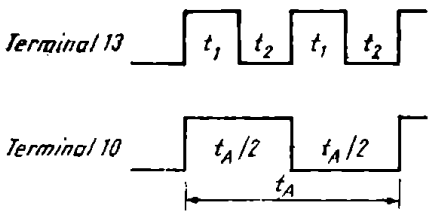


Fig. C. Formele de undă în modul de lucru astabil.

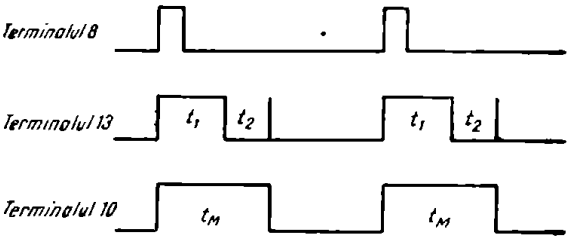


Fig. D. Formele de undă în modul de lucru monostabil.

Operarea în modul monostabil neretriggerabil

Funcționarea în modul monostabil neretriggerabil este ilustrată în figura D. Duratele t_1, t_2, t_M au expresiile:

$$t_1 = -RC \ln \frac{V_{TR}}{2V_{DD}}$$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}}$$

$$t_M = (t_1 + t_2) = -RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(2V_{DD} - V_{TR})(2V_{DD})}$$

unde t_M este durata impulsului generat de monostabil. Dacă se ia în calcul valoarea $t_M = 2{,}48\,RC$, variația maximă va fi de $+9{,}3\%$. Și în acest caz, durata impulsului generat variază cu tensiunea de alimentare și cu temperatura. În modul astabil, prima semiperioadă pozitivă are o durată t_M, următoarele durează $t_A/2$.

Operarea în modul monostabil retriggerabil

Circuitul MMC 4047 poate fi utilizat ca monostabil retriggerabil pentru a extinde durata impulsului de ieșire sau pentru a compara frecvența semnalului de intrare cu frecvența oscilatorului intern.

În modul retriggerabil impulsul de comandă se aplică pe intrările $+TRIGGER$ și $RETRIGGER$, iar ieșirea se face pe Q, $\bar{Q}$.

Cînd se aplică un singur impuls de comandă, circuitul funcționează ca monostabil (fig. E). La aplicarea mai multor impulsuri cu perioadă corespunzătoare, se obține prelungirea duratei impulsului de ieșire (fig. E). Pentru două impulsuri de intrare, $t_{RE} = t_1' + t_1 + 2t_2$ (v. fig. E). Pentru mai mult de două impulsuri ieșirea Q trece în **0** după un timp variabil t_D față de frontul negativ al ultimului impuls de retriggerare (fig. E). (Sînt necesare două impulsuri pozitive de la ieșirea oscilatorului pentru a aduce bistabilul 4 în starea $Q = 0$, $\bar{Q} = 1$).

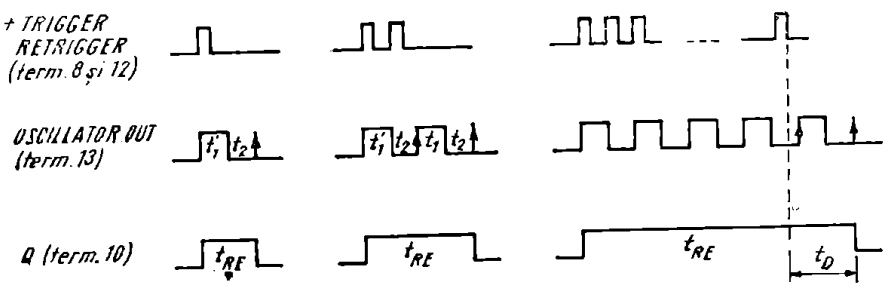


Fig. E. Formele de undă în modul de lucru monostabil retriggerabil.

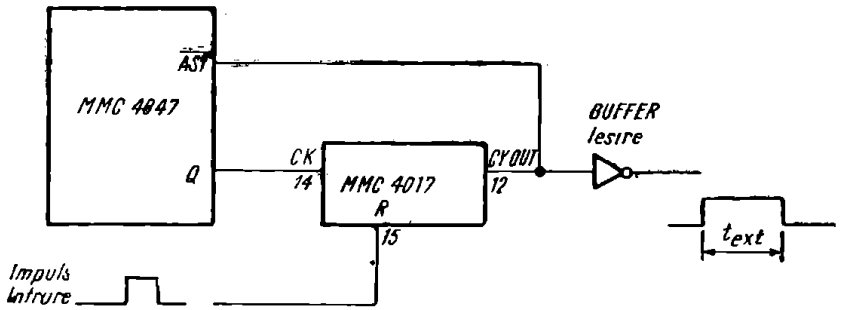


Fig. F. Schema electrică în cazul utilizării unui numărător extern.

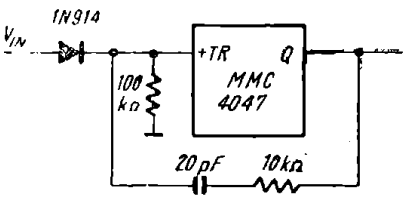


Fig. G. Schema propusă în cazul unor impulsuri de comandă scurte.

Extinderea duratei impulsului cu ajutorul unui numărător extern

Durata t_M poate fi extinsă oricît de mult dacă se folosește un numărător extern adecvat. Se obține, astfel, controlul digital al duratei impulsului și se pot folosi condensatoare de temporizare mici pentru durate mari. O aplicație tipică se vede în figura F. Circuitul MMC 4047 funcționează ca astabil comandat. Impulsul de comandă resetează numărătorul MMC 4017. Atît timp cît ieșirea de transport (*CARRY OUT*) este în **0** logic, astabilul funcționează și impulsurile de ieșire incrementează conținutul numărătorului MMC 4017. Cînd ieșirea de transport trece în **1** logic, oscilatorul se oprește. Circuitul iese din această stare numai la resetarea numărătorului.

Consumul de putere

În starea de repaus (atît ca astabil, cît și ca monostabil), puterea disipată va depinde doar de curenții reziduali. Circuitul este proiectat în așa fel încît cea mai mare parte din consumul de putere în regim dinamic să revină componentelor externe:

— în modul astabil:

$P = 2CV_{DD}^2 f$ (semnalul de pe terminalul *OSC OUT* are frecvența f);

$P = 4CV_{DD}^2 f$ (semnalele de pe terminalele Q, $\overline{Q}$ au frecvența f).

— în modul monostabil:

$P = \dfrac{(2{,}9CV_{DD}^2)\cdot(\text{factorul de umplere})}{T}$ (T pentru semnalul de pe Q, $\overline{Q}$). Cu cît

FUNCȚIE	Conexiunile terminalelor			Impulsul de ieșire	Perioada sau durata impulsului de ieșire
	La V_{DD}	La V_{SS}	Intrare		
ASTABIL :					
Oscilații libere	4, 5, 6, 14	7, 8, 9, 12	—	10, 11, 13	$t_A(10, 11)=4{,}4\ RC$
Comanda pe **1** logic	4, 6, 14	7, 8, 9, 12	5	10, 11, 13	$t_A(13)=2{,}2\ RC$
Comanda pe **0** logic	6, 14	5, 7, 8, 9, 12	4	10, 11, 13	
MONOSTABIL :					
Triggerat pe front pozitiv	4, 14	5, 6, 7, 9, 12	8	10, 11	
Triggerat pe front negativ	4, 8, 14	5, 7, 9, 12	6	10, 11	$t_M(10, 11)=2{\cdot}48\ RC$
Retriggerabil	4, 14	5, 6, 7, 9	8, 12	10, 11	
Cu numărător extern*	14	5, 6, 7, 8, 9, 12		10, 11	

* Impulsul de intrare la intrarea *RESET* a numărătorului extern, ieșirea numărătorului la terminalul 4. În toate cazurile se adaugă din exterior componente *R*, *C* între terminalele 1, 2 și 3.

Tabel de conexiuni pentru circuitul MMC 4047

tensiunea și frecvența sînt mai mici, cu atît valorile calculate vor fi mai apropiate de realitate. Puterea disipată nedepinzînd de valoarea rezistenței, pentru o putere consumată minimă se va alege valoarea minimă a capacității *C* permisă.

Valorile componentelor externe R, C

Condensatorul folosit nu trebuie să fie polarizat și trebuie să aibă pierderi mici (rezistența paralel a condensatorului trebuie să fie de cel puțin 10 ori mai mare decît rezistența *R*). Deși circuitul oscilează pentru orice valori ale rezistenței și capacității, condensatorul trebuie să aibă o capacitate mult mai mare decît capacitățile parazite din montaj. Rezistența trebuie să fie mult mai mare decît rezistențele care apar în circuit în serie cu ea (sute de ohmi), dar, pentru valori foarte mari, pot apărea instabilități.

Pentru ca temporizările obținute să concorde cu valorile calculate, trebuie să folosim :

— condensatoare cu valori de cel puțin 100 pF pentru modul astabil ;

— condensatoare cu valori de cel puțin 1 000 pF pentru modul monostabil ; (atît pentru monostabil, cît și pentru astabil, valoarea superioară a condensatorului nu este limitată) ;

— rezistențe între 10 kΩ și 1 MΩ.

Funcționarea cu impulsuri de comandă scurte

Circuitul MMC 4047 funcționează dacă impulsurile de comandă sînt de cel puțin 500 ns pentru $V_{DD} = 5$ V și de cel puțin 200 ns pentru $V_{DD} = 10$ V. Cu circuitul din figura G se obține o comandă sigură pentru impulsuri de comandă de cel puțin 20 ns.

Performanțe

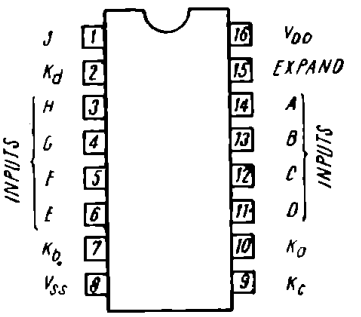
- operare cu monostabil sau astabil ;
- declanșare pe front pozitiv sau negativ, retriggerabil ;
- factor de umplere la ieșire de 50% ;
- necesită doar două componente externe (*R*, *C*).

Circuitul integrat MMC 4048 este o poartă cu 8 intrări și 4 intrări de control. 3 intrări de control binare K_a, K_b, K_c asigură implementarea a 8 funcții logice diferite. Aceste funcții sînt: SAU(OR), SAU-NU(NOR), SI(AND), SI-NU(NAND), SAU/SI(OR/AND), SAU/SI-NU(OR/NAND), SI/SAU(AND/OR), și SI/SAU-NU (AND/NOR). A patra intrare de control, K_d, asigură utilizatorului o ieșire „3-state". Cînd intrarea de control K_d este în 1 logic, ieșirea este fie în 1 logic, fie în 0 logic. în funcție de starea internă a circuitului. Cînd intrarea de control K_d este în 0 logic, ieșirea este într-o stare de impedanță ridicată. Această facilitate permite conectarea circuitului pe o magistrală comună de date.

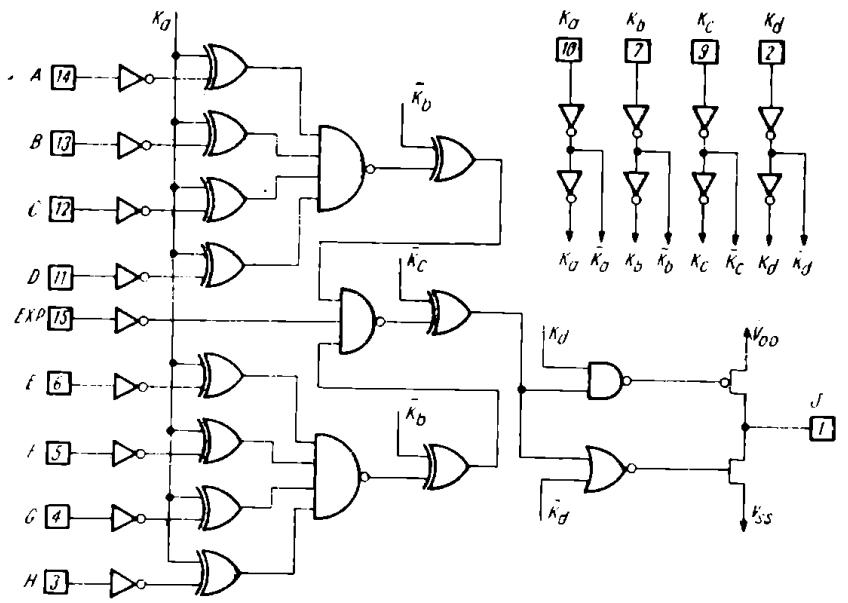
În afară de cele 8 intrări ale porții, este prevăzută și o intrare *EXPAND*, care permite circuitului MMC 4048 să își mărească numărul de intrări. De exemplu, 2 circuite MMC 4048 pot fi legate în cascadă pentru a se obține o poartă multifuncțională cu 16 intrări. Atunci cînd intrarea *EXPAND* nu se folosește, ea trebuie conectată la V_{SS}.

Performanțe

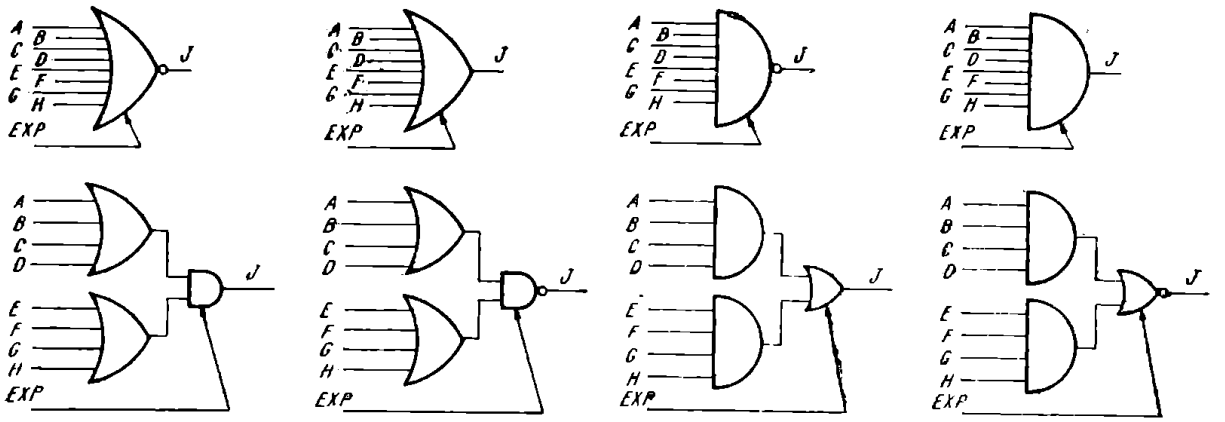
- ieșirea „3-state";
- multe funcții logice într-o singură capsulă;
- timp de propagare: 150 ns (tipic) pentru V_{DD} = = 10 V.



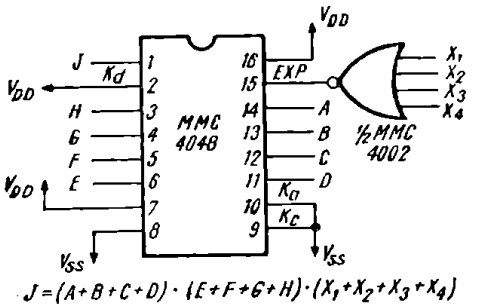
Semnificația terminalelor.



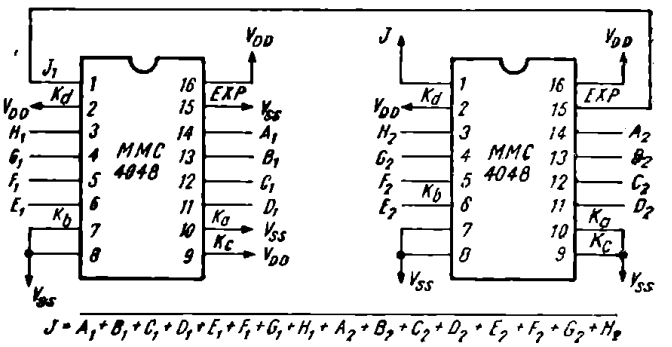
Schema logică a circuitului.



Configurațiile logice fundamentale.



Schema unei porți OR/AND cu 12 intrări.

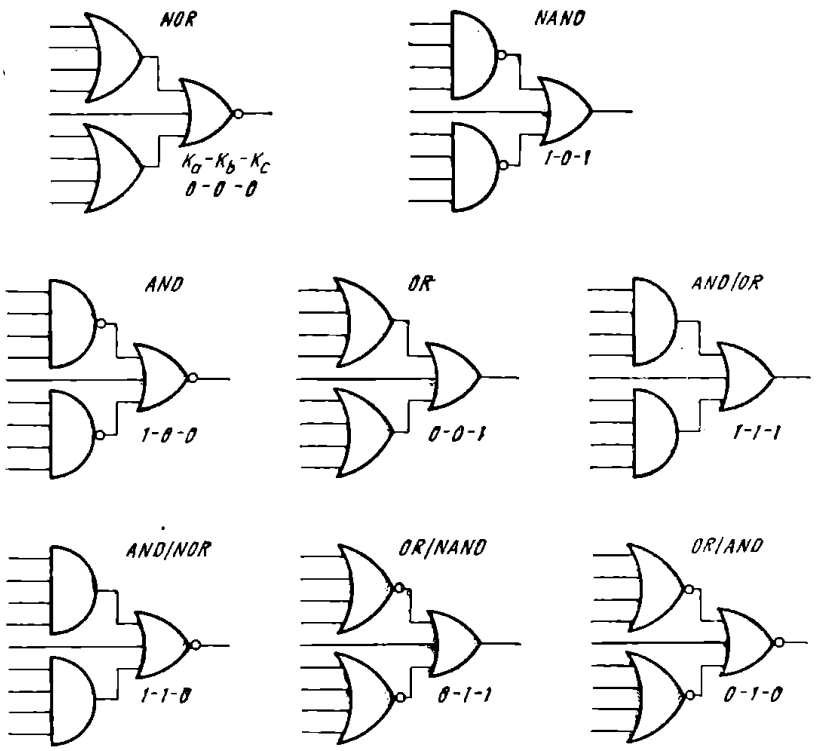


Schema unei porți NOR cu 16 intrări.

Funcția de ieșire	Expresia booleeană	Ka	Kb	Kc	Intrări neutilizate
NOR	$J = \overline{A + B + C + D + E + F + G + H}$	0	0	0	V_{SS}
OR	$J = A + B + C + D + E + F + G + H$	0	0	1	V_{SS}
OR/AND	$J = (A + B + C + D)\cdot(E + F + G + H)$	0	1	0	V_{SS}
OR/NAND	$J = \overline{(A + B + C + D)\cdot(E + F + G + H)}$	0	1	1	V_{SS}
AND	$J = ABCDEFGH\ -$	1	0	0	V_{DD}
NAND	$J = \overline{ABCDEFGH}$	1	0	1	V_{DD}
AND/NOR	$J = \overline{ABCD + EFGH}$	1	1	0	V_{DD}
AND/OR	$J = ABCD + EFGH$	1	1	1	V_{DD}

$K_a = 1$, ieșire normală ;
$K_a = 0$, ieșire de impendanță ridicată ;
$EXPAND = 0$.

Tabelul de adevăr funcțional.



Configurațiile logice efective ale circuitului.

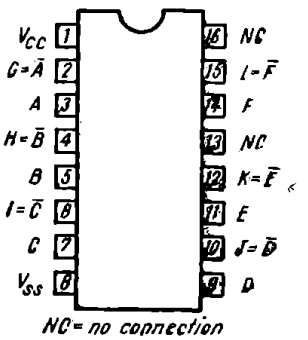
Funcția de ieșire	Funcția necesară la intrarea *EXP*	Expresia booleană
NOR	OR	$J = \overline{(A + B + C + D + E + F + G + H) + (EXP)}$
OR	OR	$J = (A + B + C + D + E + F + G + H) + (EXP)$
AND	NAND	$J = (ABCDEFGH) \cdot (EXP)$
NAND	NAND	$J = \overline{(ABCDEFGH) \cdot (EXP)}$
OR/AND	NOR	$J = (A + B + C + D)(E + F + G + H) \cdot (EXP)$
OR/NAND	NOR	$J = \overline{(A + B + C + D) \cdot (E + F + G + H) \cdot (EXP)}$
AND/NOR	AND	$J = \overline{(ABCD) + (EFGH) + (EXP)}$
AND/OR	AND	$J = (ABCD) + (EFGH) + (EXP)$

EXP reprezintă intrarea *EXPAND* (adică $X1 + X2 + \ldots + XM$)

Implementarea de porți cu mai mult de 9 intrări.

Circuitul integrat MMC 4049 conține șase separatoare (buffer-e) inversoare de putere, care realizează conversia de nivel logic folosind o singură sursă de alimentare. Valoarea nivelului 1 logic aplicat la intrare poate depăși valoarea tensiunii sursei de alimentare și, astfel, circuitul se poate utiliza pentru conversia nivelelor logice. Acest circuit este gîndit spre a fi utilizat ca interfață CMOS — DTL/TTL și poate comanda direct două sarcini DTL/TTL (pentru $V_{DD} = 5$ V, $V_{OL} \leqslant 0{,}4$ V și $I_{OL} \geqslant 3{,}2$ mA).

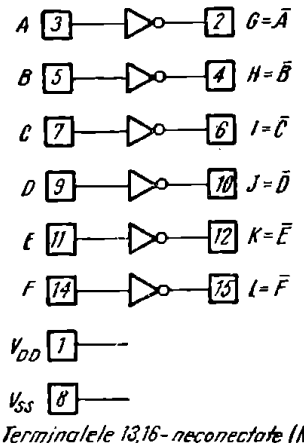
Pentru aplicațiile în care nu se solicită curent mare de ieșire sau conversie de tensiune, din considerente de putere disipată, se recomandă utilizarea circuitului MMC 4069 care conține șase inversoare.



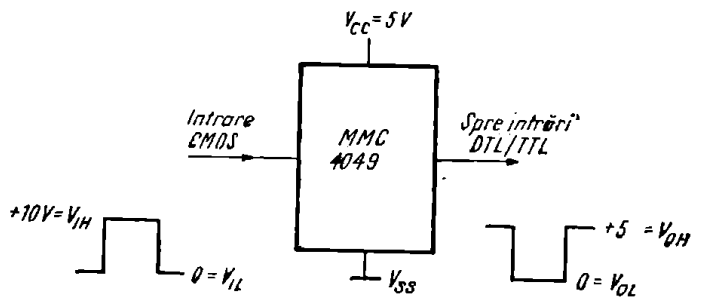
Semnificația terminalelor.

Performanțe

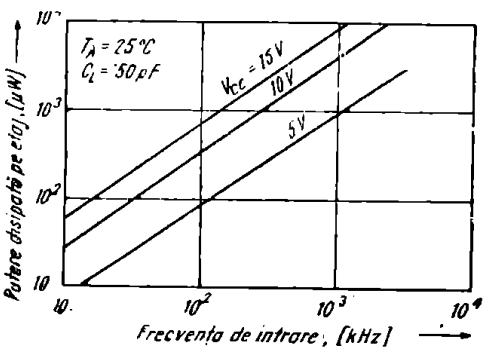
- curent mare absorbit la ieșire pentru a comanda 2 sarcini TTL ;
- conversie de nivel logic **1—0** ;
- timp de propagare : 60 ns (tipic) pentru $V_{in} = V_{DD} = 5$ V.



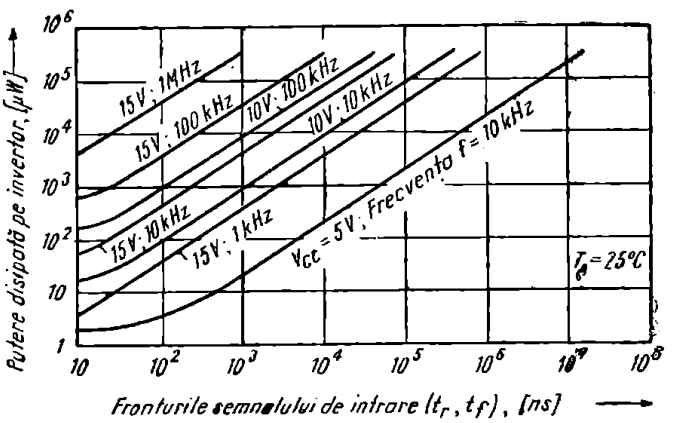
Schema logică a circuitului.



Conversie de nivel logic.



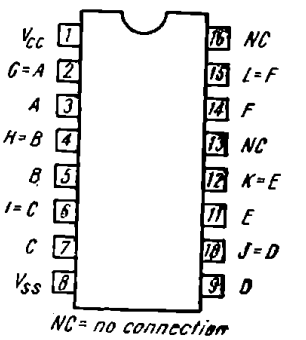
Caracteristica putere disipată pe invertor-frecvența semnalului de intrare.



Caracteristica putere disipată pe inversor-fronturile semnalului de intrare.

MMC 4050 ȘASE SEPARATOARE NEINVERSOARE DE PUTERE

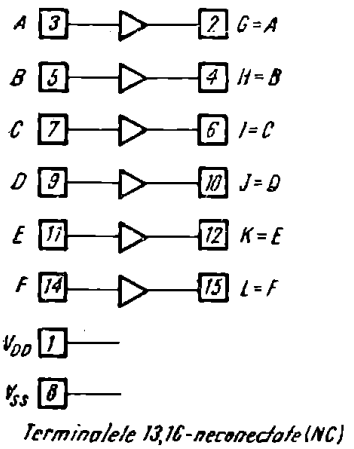
Circuitul integrat MMC 4050 conține șase separatoare (buffer-e) neinversoare de putere, care realizează conversia de nivel logic folosind o singură sursă de alimentare. Valoarea nivelului 1 logic aplicat la intrare poate depăși valoarea tensiunii sursei de alimentare și, astfel, circuitul se poate utiliză pentru conversia nivelelor logice. Acest circuit este gîndit spre a fi utilizat precum interfață CMOS — DTL/TTL și poate comanda direct două sarcini DTL/TTL (pentru $V_{DD} = 5$ V, $V_{OL} \leqslant 0{,}4$ V și $I_{OL} \geqslant 3{,}2$ mA).



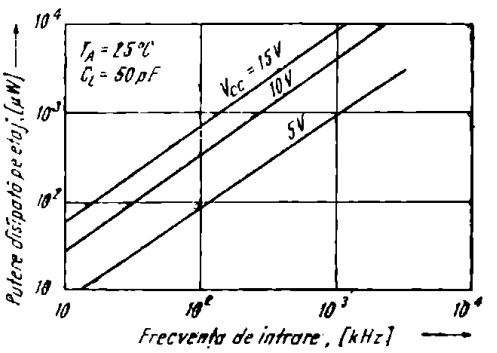
Semnificația terminalelor.

Performanțe

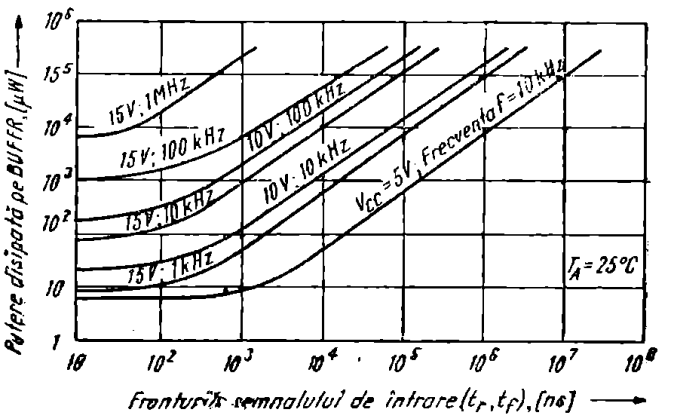
- curent mare absorbit la ieșire pentru a comanda 2 sarcini TTL;
- conversie de nivel logic 1—0;
- timp de propagare: 70 ns (tipic) pentru $V_{in} = V_{DD} = 5$ V.



Schema logică a circuitului.



Caracteristica putere disipată pe etaj-frecvența semnalului de intrare.



Caracteristica putere disipată pe etaj-fronturile semnalului de intrare.

MULTIPLEXOR/DEMULTIPLEXOR ANALOGIC CU 8 CANALE — MMC 4051

Circuitul integrat MMC 4051 este un multiplexor/demultiplexor analogic cu 8 canale, avînd 3 intrări de control binare, *A*, *B* şi *C* şi o intrare de inhibare (*INHIBIT*). Cele 3 intrări binare selectează unul din cele 8 canale, comutatorul analogic corespunzător canalului selectat fiind deschis (starea *ON*).

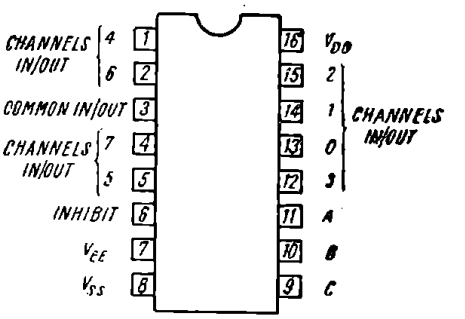
Multiplexarea semnalelor analogice cu amplitudine de pînă la 20 V vîrf-la-vîrf se realizează cu semnale digitale cu amplitudini de la 4,5 V pînă la 20 V (dacă $V_{DD} - V_{SS} = 3$ V, se pot controla semnale $V_{DD} - V_{EE}$ pînă la 13 V; pentru diferenţe $V_{DD} - V_{EE}$ de peste 13 V, este necesară o diferenţă $V_{DD} - V_{SS}$ de minim 4,5 V). De exemplu, dacă $V_{DD} = +5$ V, $V_{SS} = 0$ şi $V_{EE} = -13{,}5$ V, se pot controla semnale analogice de valori între —13,5 V şi +4,5 V, cu ajutorul unor semnale digitale între 0 şi 5 V.

Circuitul conţine comutatoare analogice (v. § 1.5.3) care au impedanţă în starea *ON* coborîtă şi curenţi reziduali în starea *OFF* foarte mici.

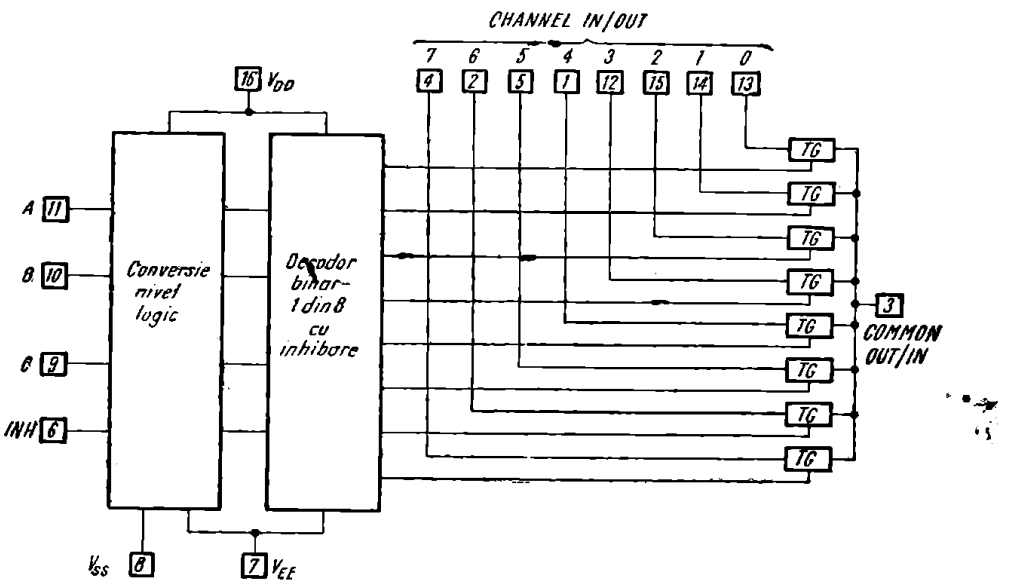
Un nivel **1** logic pe intrarea *INHIBIT* aduce toate canalele în starea *OFF* (blocate).

Performanţe

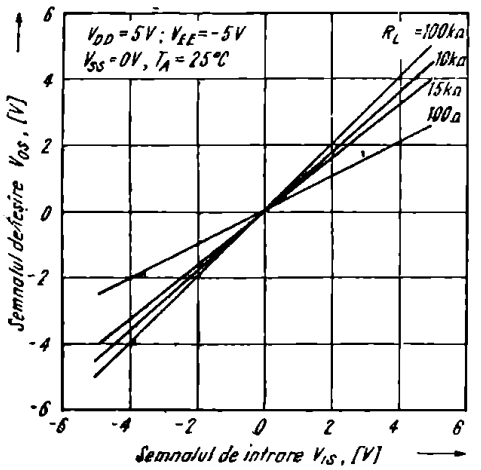
- plajă mare pentru semnalele analogice şi digitale: digitale 3...20 V, analogice pînă la 20 V vîrf la vîrf;
- rezistenţă în starea *ON* mică: 125 Ω (tipic) pe o plajă de 15 V vîrf la vîrf a semnalului de intrare şi $V_{DD} - V_{EE} = 15$ V;
- împerecherea rezistenţei *ON* a comutatoarelor: 5 Ω (tipic) pentru $V_{DD} - V_{EE} = 15$ V.
- rezistenţă mare în starea *OFF*: curent rezidual de ± 100 pA (tipic) pentru $V_{DD} - V_{EE} = 18$ V.



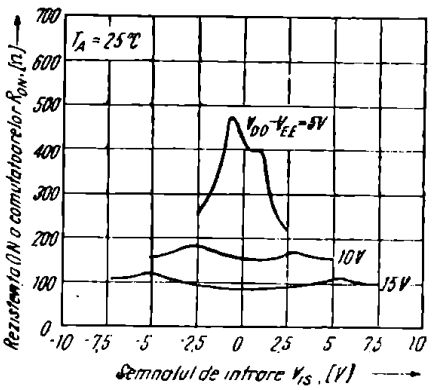
Semnificaţia terminalelor.



Schema bloc a circuitului.



Caracteristica *ON* a unui canal.



Rezistența *ON* a unui canal, funcție de semnalul de intrare.

Intrări				Canal deschis (ON)
Inhibit	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	Nici unul

Tabelul de adevăr al circuitului.

MULTIPLEXOR/DEMULTIPLEXOR ANALOGIC DIFERENȚIAL CU 4 CANALE — MMC 4052

Circuitul integrat MMC 4052 este un multiplexor/demultiplexor analogic diferențial cu 4 canale, avînd 2 intrări de control binare *A* și *B* și o intrare de inhibare (*INHIBIT*). Cele două intrări binare selectează una din cele patru perechi de canale, deschizînd comutatoarele analogice (starea *ON*) corespunzătoare canalelor selectate.

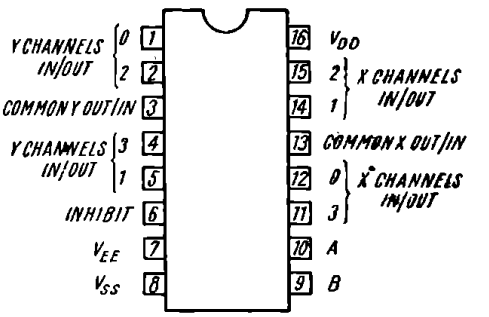
Multiplexarea semnalelor analogice cu amplitudine de pînă la 20 V vîrf-la-vîrf se realizează cu semnale digitale cu amplitudini de la 4,5 V pînă la 20 V (dacă $V_{DD} - V_{SS} = 3$ V, se pot controla semnale $V_{DD} - V_{EE}$ pînă la 13 V; pentru diferențe $V_{DD} - V_{EE}$ de peste 13 V este necesară o diferență $V_{DD} - V_{SS}$ de minim 4,5 V). De exemplu, dacă $V_{DD} = +5$ V, $V_{SS} = 0$ și $V_{EE} = -13{,}5$ V, se pot controla semnalele analogice de valori între −13,5 V cu ajutorul unor semnale digitale între 0 și 5 V.

Circuitul conține comutatoare analogice (v. § 1.5.3) care au impedanță în starea *ON* coborîtă și curenți reziduali în starea *OFF* foarte mici.

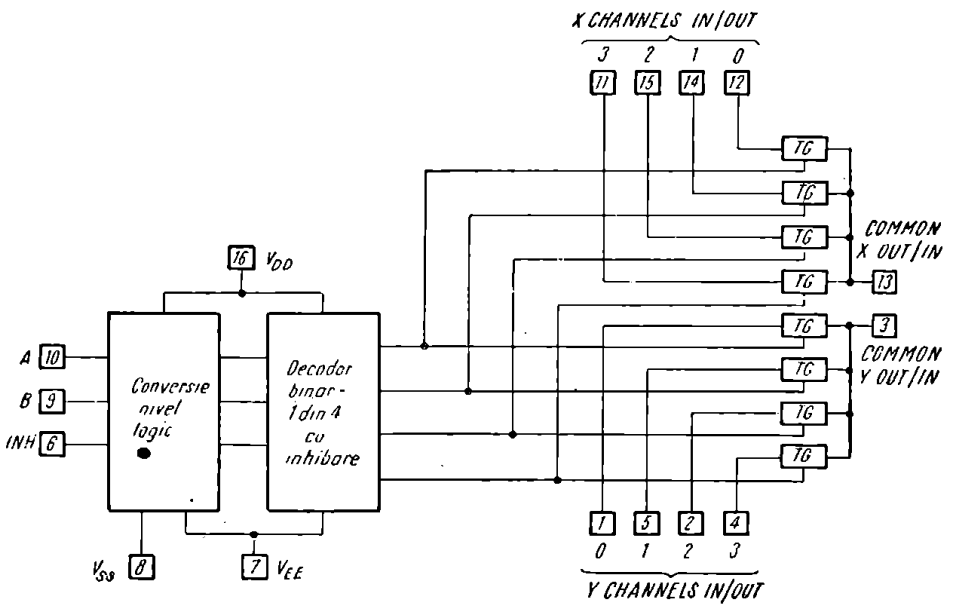
Un nivel 1 logic pe intrarea *INHIBIT* aduce toate canalele în starea *OFF* (blocate).

Performanțe

- plajă mare pentru semnalele analogice și digitale: digitale 3...20 V, analogice pînă la 20 V vîrf-la-vîrf;
- rezistență în starea *ON* mică: 125 Ω (tipic) pe o plajă de 15 V vîrf-la-vîrf a semnalului de intrare și $V_{DD} - V_{EE} = 15$ V;
- împerecherea rezistenței *ON* a comutatoarelor: 5 Ω (tipic) pentru $V_{DD} - V_{EE} = 15$ V;
- rezistență mare în starea *OFF*: curent rezidual de ±100 pA (tipic) pentru $V_{DD} - V_{EE} = 18$ V.



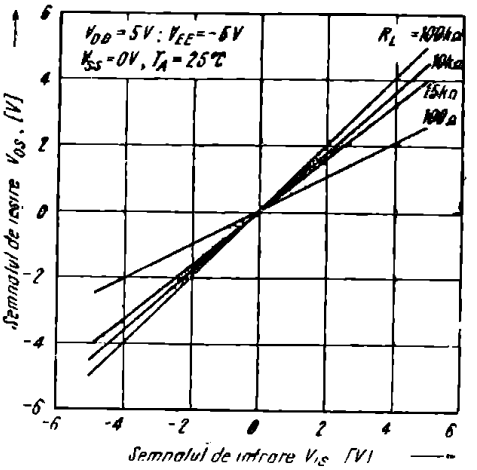
Semnificația terminalelor.



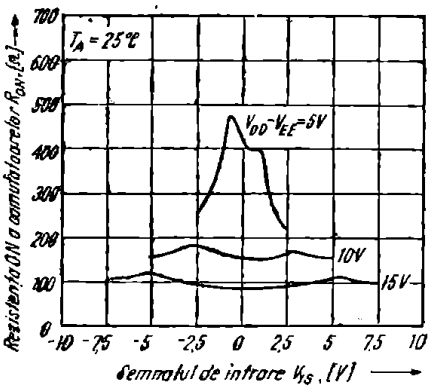
Schema bloc a circuitului.

Inhibit	B	A	Canal deschis (ON)
0	0	0	0_x , 0_y
0	0	1	1_x , 1_y
0	1	0	2_x , 2_y
0	1	1	3_x , 3_y
1	X	X	Nici unul

Tabelul de adevăr al circuitului.



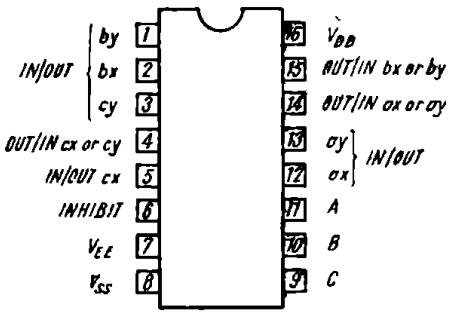
Caracteristica *ON* a unui canal.



Rezistența *ON* a unui canal, funcție de semnalul de intrare

MULTIPLEXOR/DEMULTIPLEXOR ANALOGIC TRIPLU CU 2 CANALE MMC 4053

Circuitul integrat MMC 4053 este un multiplexor/demultiplexor analogic triplu cu 2 canale, avînd 3 intrări separate de control *A*, *B*, *C* și o intrare de inhibare (*INHIBIT*). Fiecare intrare de control selectează unul din cele două canale, deschizînd comutatorul analogic (starea *ON*) corespunzător canalului selectat.



Semnificația terminalelor.

INHIBIT	*A sau B sau C*	*Canal deschis (ON)*
0	*0*	*ax sau bx sau cx*
0	*1*	*ay sau by sau cy*
1	*X*	*Nici unul*

Tabelul de adevăr al circuitului.

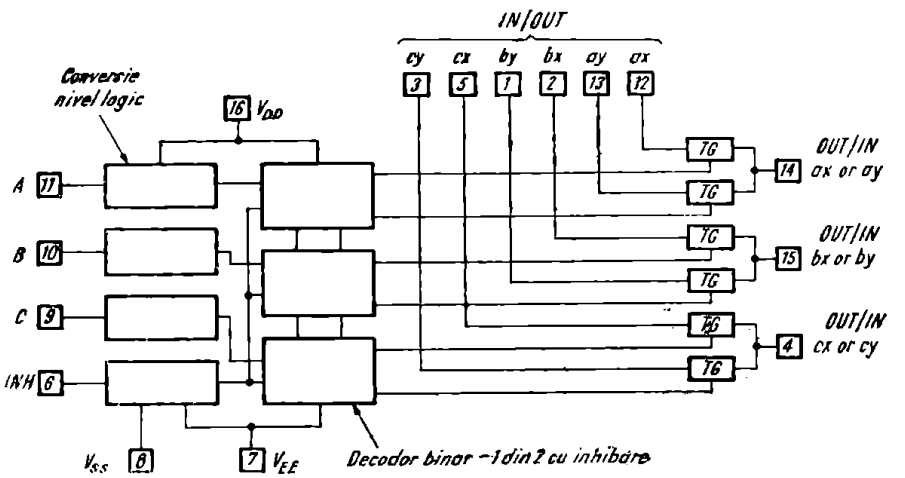
Multiplexarea semnalelor analogice cu amplitudine de pînă la 20 V vîrf-la-vîrf se realizează cu semnale digitale cu amplitudini de la 4,5 V pînă la 20 V (dacă $V_{DD} - V_{SS} = 3$ V, se pot controla semnale $V_{DD} - V_{EE}$ pînă la 13 V ; pentru diferențe $V_{DD} - V_{EE}$ de peste 13 V este necesară o diferență $V_{DD} - V_{SS}$ de minim 4,5 V). De exemplu, dacă $V_{DD} = +5$ V, $V_{SS} = 0$ și $V_{EE} = -13{,}5$ V, se pot controla semnale analogice de valori între $-13{,}5$ și $+4$, 5V cu ajutorul unor semnale digitale între 0 și 5 V.

Circuitul conține comutatoare analogice (v. § 1.5.3) care au impedanță în starea *ON* coborîtă și curenți reziduali în starea *OFF* foarte mici.

Un nivel **1** logic pe intrarea *INHIBIT* aduce toate canalele în starea *OFF* (blocate).

Performanțe

- plajă mare pentru semnalele analogice și digitale : digitale 3...20 V, analogice pînă la 20 V vîrf-la-vîrf ;
- rezistență în starea *ON* mică : 125 Ω (tipic) pe o plajă de 15 V vîrf-la-vîrf a semnalului de intrare și $V_{DD} - V_{EE} = 15$ V ;
- împerecherea rezistenței *ON* a comutatoarelor : 5 Ω (tipic) pentru $V_{DD} - V_{EE} = 15$ V ;
- rezistență mare în starea *OFF* : curent rezidual de ±100 pA (tipic) pentru $V_{DD} - V_{EE} = 18$ V.

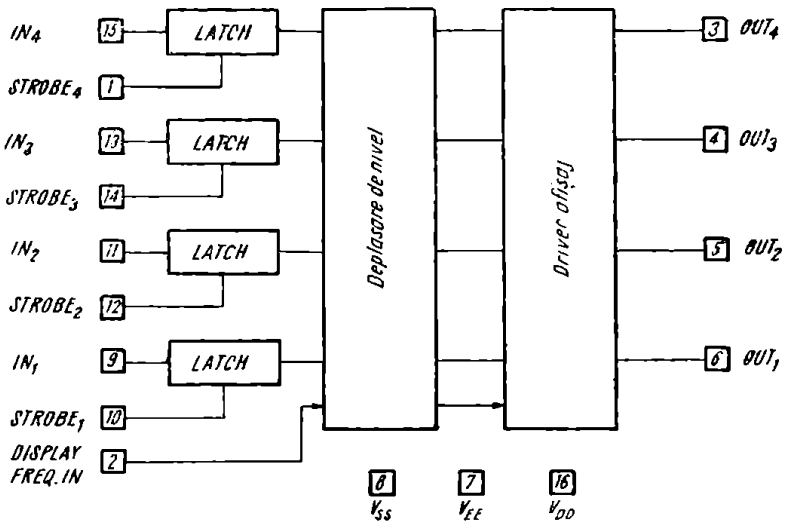


Schema bloc a circuitului.

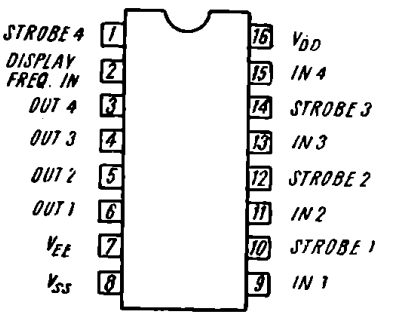
Circuitul integrat MMC 4054 este un driver pentru afișaj de 4 segmente cu cristale lichide (*LCD*). Conține un bloc de deplasare de nivel, latch-uri strobate independent pe fiecare intrare și o intrare comună *DISPLAY FREQUENCY IN* (*DFIN*) de control al celor 4 linii de semnal.

Circuitul MMC 4054 este proiectat în intenția de a asigura compatibilitate de comandă cu decodoarele de 7 segmente MMC 4055 și MMC 4056 pentru punct zecimal, coloană, polaritate și alte comenzi similare de afișare. O ieșire *DF* de mare amplitudine și nivel deplasat se poate obține de la orice ieșire din MMC 4054 prin conectarea intrării corespunzătoare la **0** logic și a intrării *STROBE* la **1** logic.

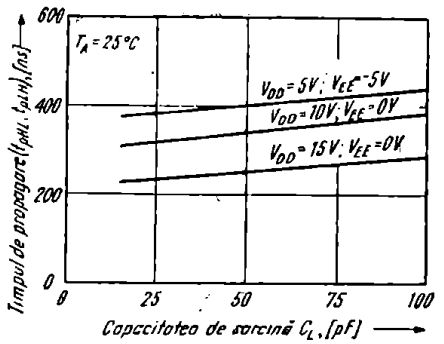
Circuitul MMC 4054 se poate utiliza la „conversia **SUS**" sau „conversia **JOS**" a nivelului logic. De exemplu, semnalul de intrare care variază (V_{DD} la V_{SS}) între +5 V și 0V poate fi convertit într-un semnal de ieșire care variază (V_{DD} la V_{EE}) între +5 V și −5 V. Funcția de deplasare de nivel permite utilizarea de semnale cu game de variație diferite la intrare și ieșire. Astfel, semnalul de intrare este cuprins în gama V_{SS} la V_{DD}, în timp ce semnalul de ieșire este în plaja V_{EE} la V_{DD}. Astfel, intrarea și ieșirea pot varia independent una de alta într-o plajă de 3...18 V. V_{SS} și V_{EE} se pot lega împreună cînd nu se dorește o deplasare de nivel.



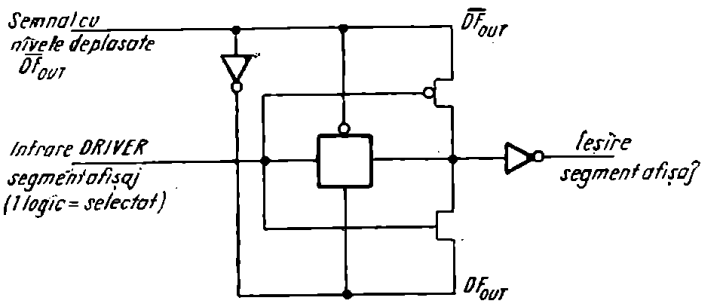
Schema bloc a circuitului.



Semnificația terminalelor.



Caracteristica tipică timp de propagare-capacitate de sarcină.

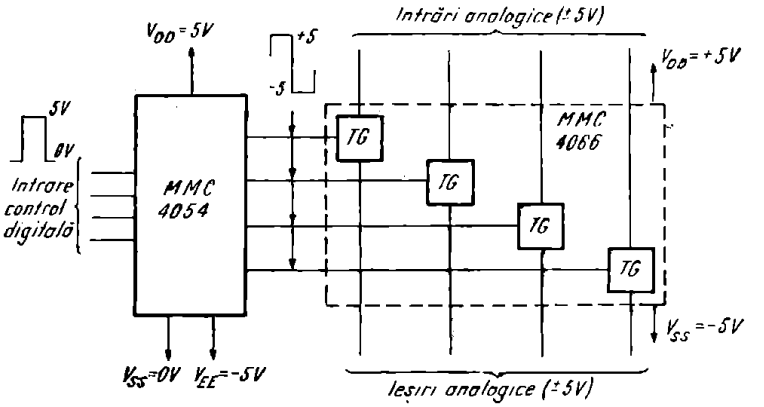


Schema logică a unui driver de segment.

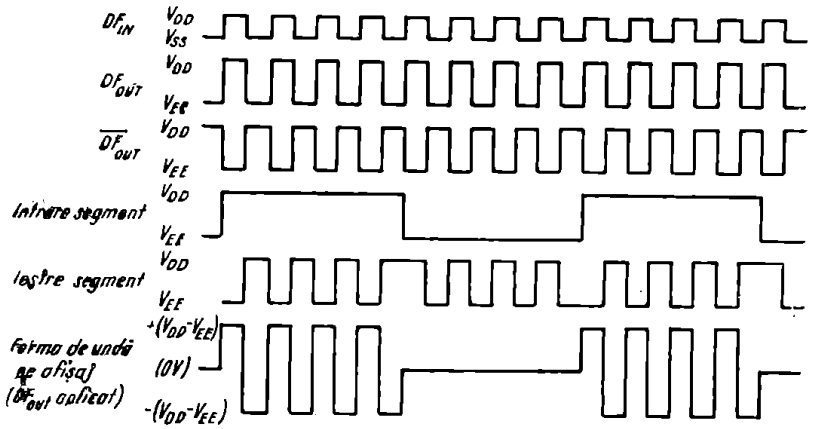
Datele sînt transferate la ieșire aplicînd **1** logic la intrarea *STROBE*. Un nivel **0** logic pe *STROBE* „zăvorăște" intrarea de date și ieșirile de comandă.

Performanțe

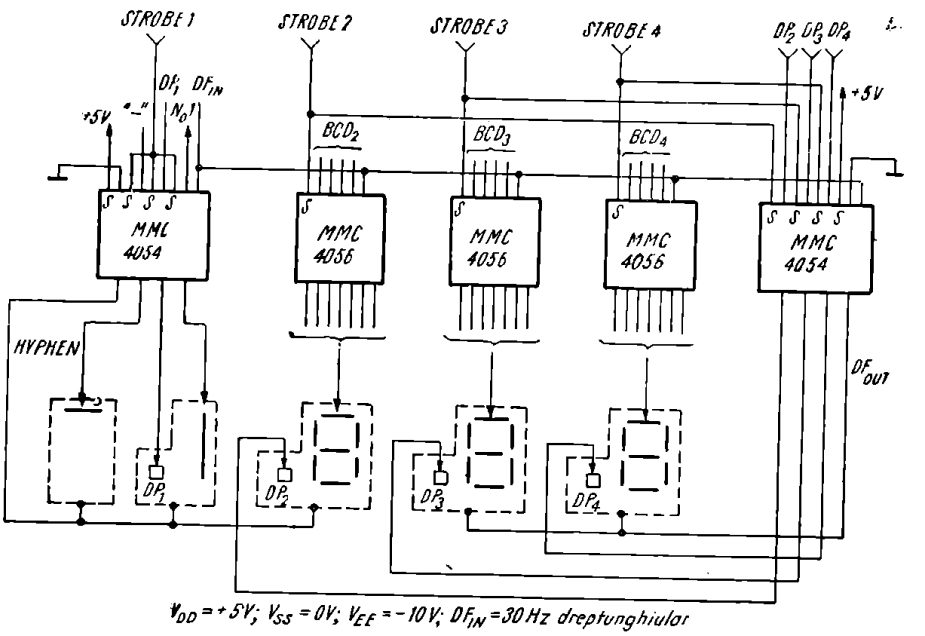
- ieșiri care comandă direct afișajul cu cristale lichide ;
- conversie de nivel logic ;
- dublare de tensiune pe afișaj, $V_{DD} - V_{EE} = 18$ V, duce la 30 V vîrf-la-vîrf pe afișaj ;
- timp de propagare : 340 ns (tipic) pentru $V_{DD} = 10$ V, $V_{SS} = V_{EE} = 0$ V.



Schemă pentru deplasare de nivel (0, +5V) la (+5V, —5V).



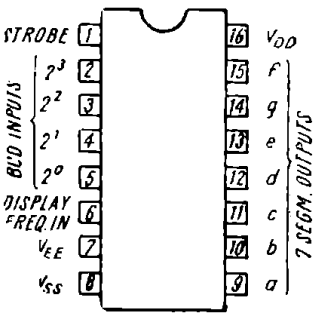
Formele de undă pentru un segment de afișaj.



Schema unui afișaj *LCD* de $3^1/_2$ digiți.

MMC 4055 DECODOR/DRIVER BCD-7 SEGMENTE PENTRU AFIŞAJ LCD IEŞIRE „FRECVENŢA AFISAJ"

Circuitul integrat MMC 4055 este un decodor/driver pentru o singură cifră de afişaj, din cod BCD în cod 7 segmente şi care asigură funcţia de deplasare de nivel. Această funcţie permite conversia plajei de variaţie a semnalelor de intrare BCD (V_{DD} la V_{SS}) într-o plajă de variaţie a semnalelor de ieşire 7 segmente identică sau diferită (V_{DD} la V_{EE}). De exemplu, semnalul de intrare BCD poate varia (V_{DD} la V_{SS}) între 0 şi −3 V şi poate fi transformat într-un semnal de comandă la ieşire între (V_{DD} la V_{EE}) 0 şi −5 V. Dacă diferenţa V_{DD} la V_{EE} depăşeşte 15 V, diferenţa V_{DD} la V_{SS} trebuie să fie cel puţin 4 V.



Semnificaţia terminalelor.

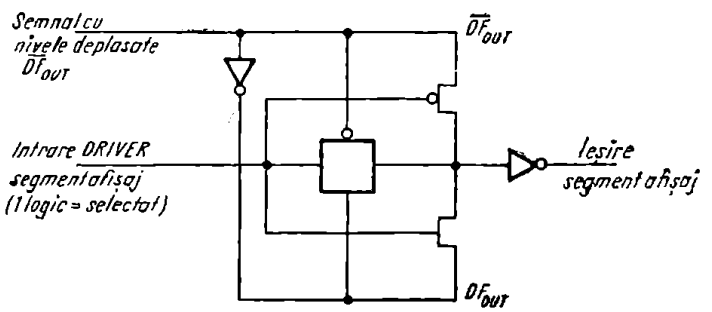
Ieşirile / segmente ($a \ldots g$) sînt controlate de semnalul aplicat la intrarea *DISPLAY FREQUENCY IN* (*DF IN*), ieşirile segmentelor selectate putînd fi în **1** logic, în **0** logic sau formă de undă dreptunghiulară (pentru afişaje cu cristale lichide). Cînd *DF IN* este în **0** logic, segmentele selectate de intrările BCD sînt în **1** logic. Cînd *DF IN* este în **1** logic, segmentele selectate vor fi în **0** logic. Dacă se excită *DF IN* cu o formă de undă dreptunghiulară, segmentele selectate vor avea aceeaşi formă de undă cu cea de la intrarea *DF IN*, dar defazată faţă de aceasta cu 180°. Semnalele pe segmentele neselectate vor avea şi ele o formă de undă dreptunghiulară, dar în fază cu intrarea. Frecvenţa formei de undă de pe *DF IN* este cuprinsă, în mod uzual, pentru afişaje cu cristale lichide, între 30 Hz (peste limita de „clipire") şi 200 Hz (sub limita superioară de răspuns în frecvenţă a cristalului lichid).

Circuitul MMC 4055 are o ieşire *DF OUT* de mare amplitudine şi nivele deplasate, care este solicitată pentru comanda electrodului comun al afişajelor cu cristale lichide.

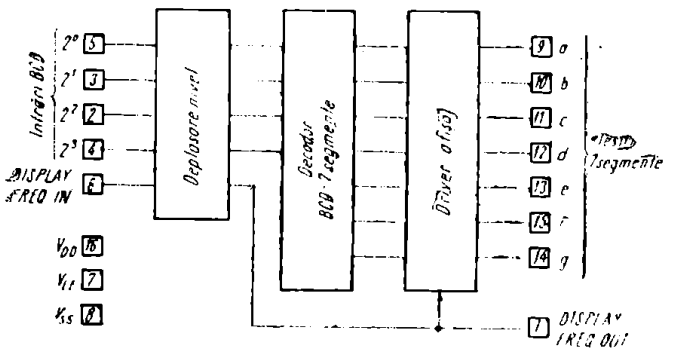
Decodarea tuturor combinaţiilor de pe intrările BCD dau comenzi pentru afişaj de 0 pînă la 9, precum şi L, P, H, A, — , şi blank.

Performanţe

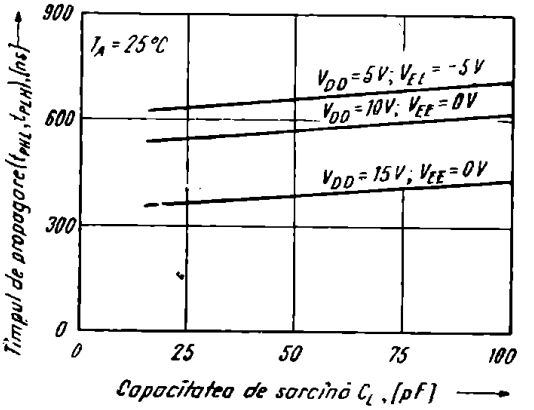
- ieşiri care comandă direct afişajul cu cristale lichide ;
- conversie de nivel logic ;
- dublare de tensiune pe afişaj, $V_{DD} - V_{EE} = 18$ V, duce la 30 V vîrf la vîrf pe afişaj ;
- timp de propagare : 575 ns (tipic) pentru $V_{DD} = 10$ V, $V_{SS} = V_{EE} = 0$ V.



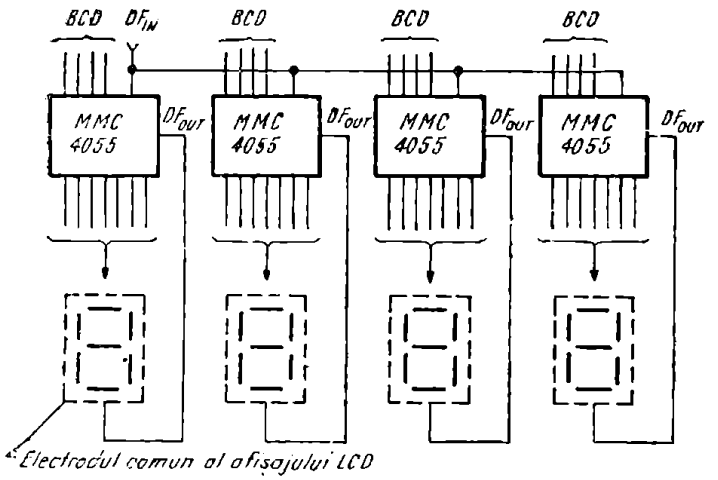
Schema logică a unui driver de segment.



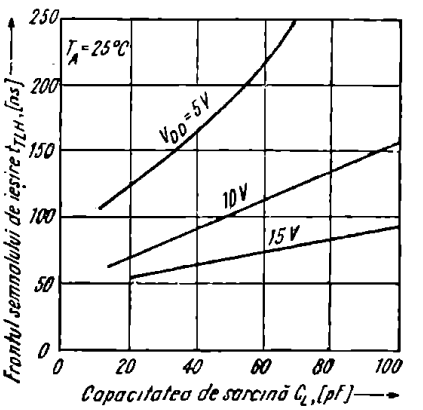
Schema bloc a circuitului.



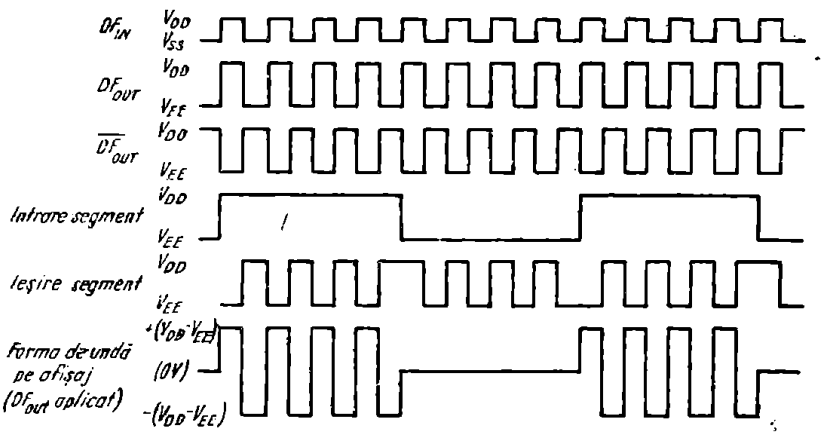
Caracteristica tipică timp de propagare-capacitate de sarcină.



Schema logică a unui driver de segment.



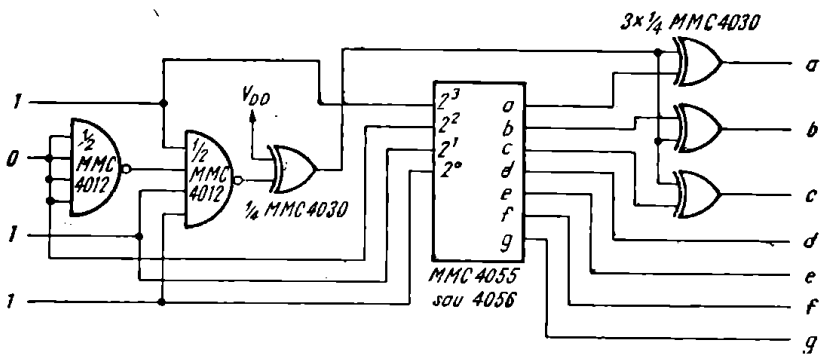
Caracteristica frontului semnalului de ieşire-capacitatea de sarcină.



Formele de undă pentru un segment de afişaj.

Intrare				Ieşire							Caracter afişaj
2^3	2^2	2^1	2^0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	-
1	0	1	1	0	1	1	0	1	1	1	A
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	R
1	1	1	0	0	0	0	0	0	0	1	-
1	1	1	1	0	0	0	0	0	0	0	Blanc

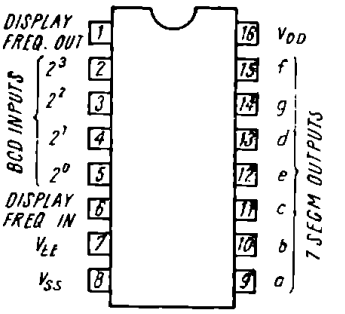
Tabela de adevăr a circuitului.



Schemă logică pentru conversia afişării caracterului *F* din caracterul *H*.

DECODOR/DRIVER BCD-7 SEGMENTE PENTRU AFIȘAJ LCD, INTRARE „STROBE" MMC 4056

Circuitul integrat MMC 4056 este un decodor/driver pentru o singură cifră de afișaj, din cod BCD în cod 7 segmente care asigură și funcția de deplasare de nivel. Această funcție permite conversia plajei de variație a semnalelor de intrare BCD(V_{DD} la V_{SS}) într-o plajă de variație a semnalelor de ieșire 7 segmente identică sau diferită (V_{DD} la V_{EE}). De exemplu, semnalul de intrare BCD poate varia (V_{DD} la V_{SS}) între 0 și —3 V și poate fi transformat într-un semnal de comandă la ieșire între (V_{DD} la V_{EE}) 0 și —5 V. Dacă diferența V_{DD} la V_{EE} depășește 15 V, diferența V_{DD} la V_{SS} trebuie să fie cel puțin 4 V.



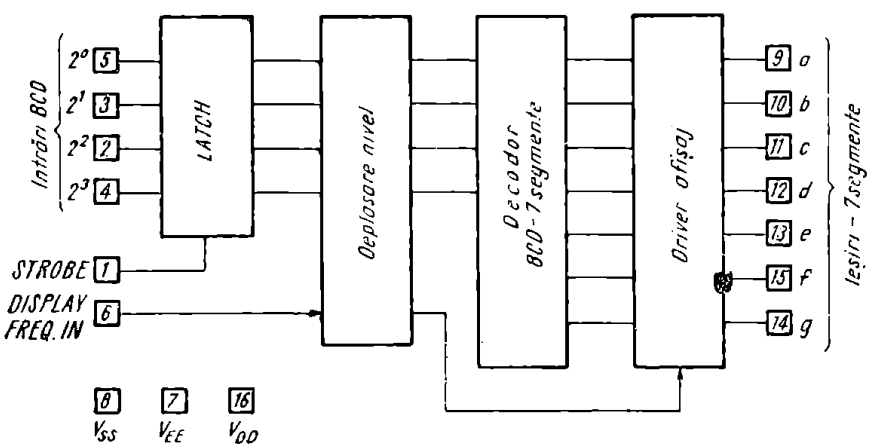
Semnificația terminalelor.

Ieșirile 7 segmente (*a*...*g*) sînt controlate de semnalul aplicat la intrarea *DISPLAY FREQUENCY IN* (*DF IN*), ieșirile segmentelor selectate putînd fi în **1** logic, în **0** logic sau formă de undă dreptunghiulară (pentru afișaje cu cristale lichide). Cînd *DF IN* este în **0** logic, segmentele selectate de intrările BCD sînt în **1** logic. Cînd *DF IN* este în **1** logic, segmentele selectate vor fi în **0** logic. Dacă se excită *DF IN* cu o formă de undă dreptunghiulară, segmentele selectate vor avea aceeași formă de undă cu cea de la intrarea *DF IN* dar defazată de aceasta cu 180°. Semnalele pe segmentele neselectate vor avea și ele o formă de undă dreptunghiulară, dar în fază cu intrarea. Frecvența formei de undă de pe *DF IN* este cuprinsă, în mod uzual, pentru afișaje cu cristale lichide, între 30 Hz (peste limita de „clipire") și 200 Hz (sub limita superioară de răspuns în frecvență a cristalului lichid).

Circuitul MMC 4056 are o intrare *STROBE* (care la circuitul MMC 4055 nu există), care validează înscrierea intrărilor de date BCD în latch-urile de intrare.

Decodarea tuturor combinațiilor de pe intrările BCD dau comenzi pentru afișaj de 0 pînă la 9 precum și L, P, H, A — și blank.

Datele sînt transferate de la intrare la ieșire punînd *STROBE* în **1** logic. **0** logic pe intrarea *STROBE* „zăvorăște" intrarea de date și ieșirile segmentelor.



Schema bloc a circuitului.

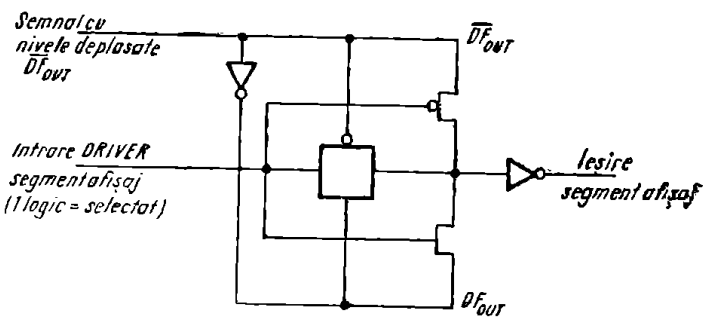
Circuitul MMC 4056 trebuie utilizat împreună cu circuitul MMC 4054, pentru a avea ieșirea comună *DF OUT*, deoarece, spre deosebire de MMC 4055, MMC 4056 nu are ieșire *DF OUT*.

Performanțe

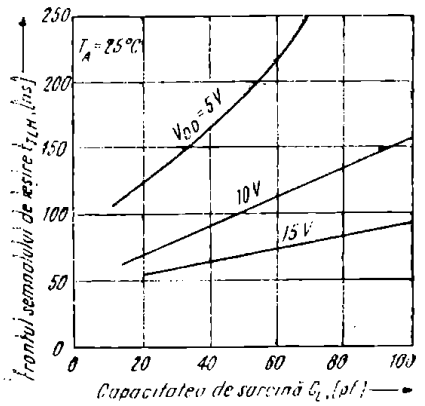
- ieșiri care comandă direct afișajul cu cristale lichide ;
- conversie de nivel logic ;
- dublare de tensiune pe afișaj, $V_{DD} - V_{EE} = 18$ V, duce la 30 V vîrf la vîrf pe afișaj ;
- timp de propagare : 575 ns (tipic) pentru $V_{DD} = 10$ V, $V_{SS} = V_{EE} = 0$ V.

Intrare				Ieșire							Conținut afișaj
2^3	2^2	2^1	2^0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	L
1	0	1	1	0	1	1	0	1	1	1	H
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	R
1	1	1	0	0	0	0	0	0	0	1	-
1	1	1	1	0	0	0	0	0	0	0	Blanc

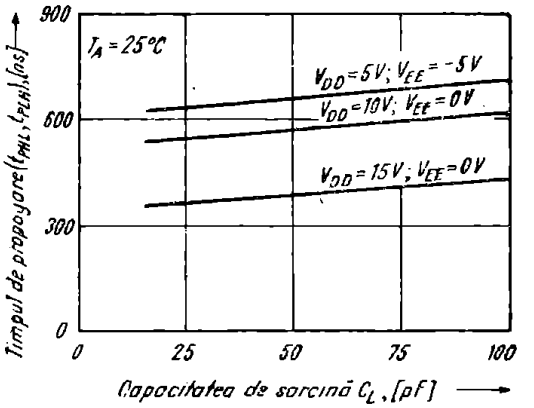
Tabela de adevăr a circuitului.



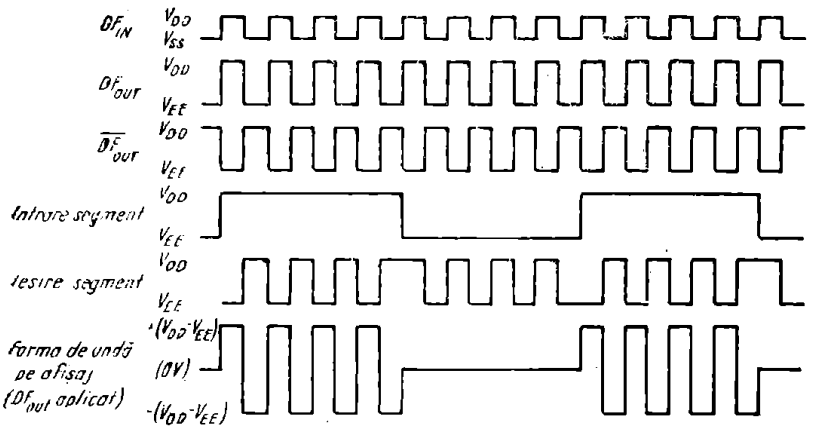
Schema logică a unui driver de segment.



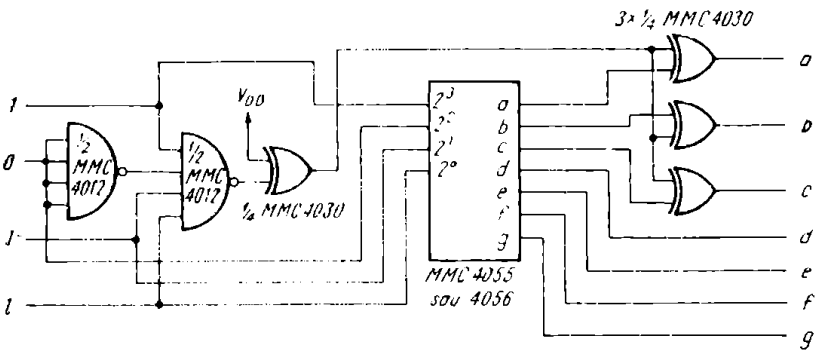
Caracteristica frontului semnalului de ieșire-capacitatea de sarcină



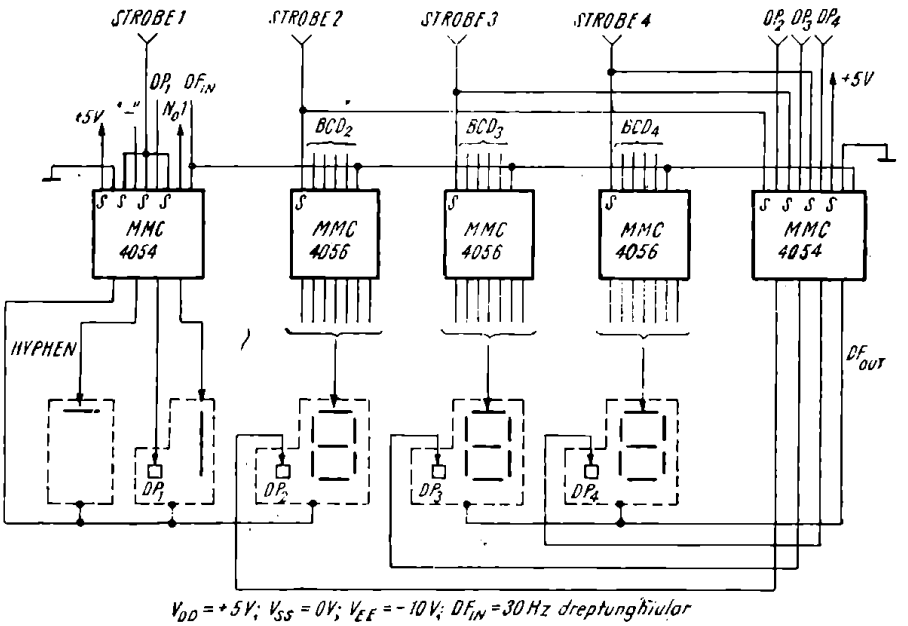
Caracteristica tipică timp de propagare-capacitate de sarcină.



Formele de undă pentru un segment de afisaj.



Schema logică pentru conversia afișării caracterului *F* din caracterul *H*.



Schema unui afișaj *LCD* de $3^1/_2$ digiți.

NUMARATOR BINAR ASINCRON DE 14 BITI ȘI OSCILATOR MMC 4060

Circuitul integrat MMC 4060 conține un oscilator și un numărător binar asincron (cu transport succesiv) de 14 biți.

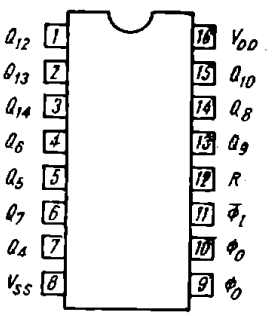
Configurația de oscilator permite proiectarea de oscilatoare fie *RC*, fie cu cuarț.

Circuitul are o intrare *RESET* (activă pe **1** logic), care aduce toate etajele numărătorului în **0** logic și inhibă oscilatorul.

Toate etajele numărătorului sînt circuite bistabile master-slave de tip *T* (v. § 1.8.1). Starea numărătorului avansează cu un pas (bit) în ordine binară, sincron cu tranziția negativă a semnalului prezent la intrarea de tact Φ_I (și Φ_0).

Toate intrările și ieșirile sînt cu buffer.

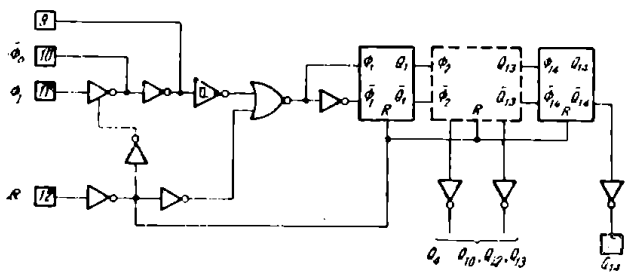
Circuitul trigger Schmitt de pe intrarea de tact permite lucrul cu impulsuri ale căror fronturi sînt oricît de lente.



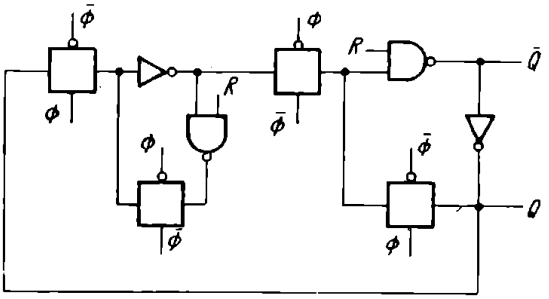
Semnificația terminalelor.

Performanțe

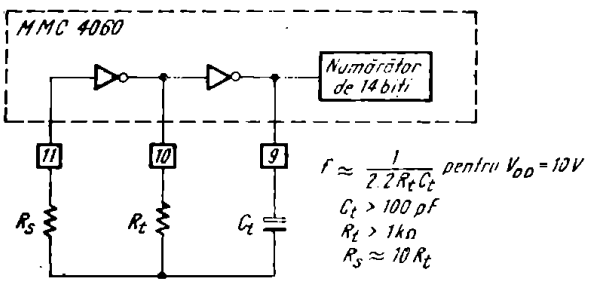
- operare statică ;
- viteză medie de operare : 16 MHz (tipic) pentru $V_{DD} = 10$ V ;
- configurație de oscilator *RC* sau cuarț.



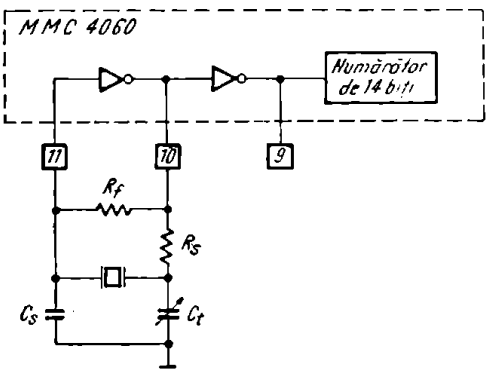
Schema logică a circuitului.



Schema logică a celulei.



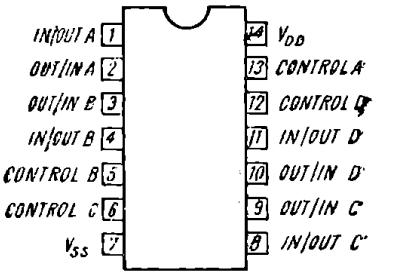
Schema tipică de oscilator *RC*.



Schema logică de oscilator cu cuarț.

MMC 4066 PATRU COMUTATOARE BILATERALE

Circuitul integrat MMC 4066 conține patru comutatoare bilaterale, concepute pentru transmisia sau multiplexarea semnalelor analogice sau digitale. Circuitul este pin la pin compatibil cu circuitul MMC 4016 dar, în comparație cu acesta, asigură o rezistență *ON* mult mai mică. În plus, rezistența în starea *ON* a comutatorului este relativ constantă pe toată plaja semnalului de intrare (v. § 1.5.4).



Semnificația terminalelor.

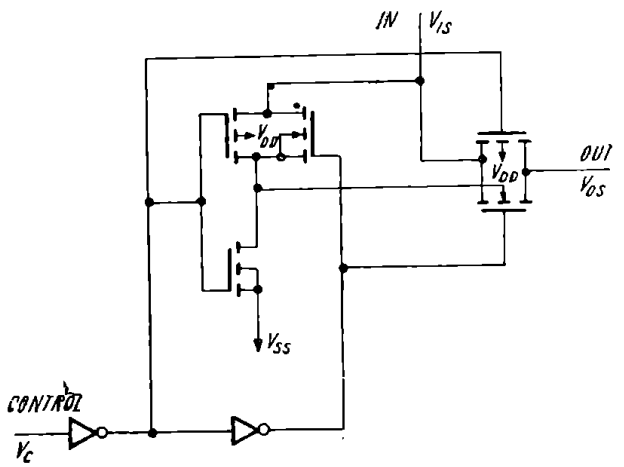
Există un singur semnal de control (*CONTROL*) pe comutator. Ambele tranzistoare (și cel cu canal *n* și cel cu canal *p*) dintr-un comutator sînt deschise (*ON*) sau blocate (*OFF*) simultan.

După cum rezultă din schema electrică a comutatorului, substratul tranzistorului MOS cu canal *n* din fiecare comutator este conectat fie la semnalul de intrare (cînd comutatorul este deschis — *ON*), fie la V_{SS} (cînd comutatorul este blocat — *OFF*). Această configurație elimină variația tensiunii de prag a tranzistoarelor comutatorului cu semnalul de intrare și astfel, menține rezistența în starea *ON* la o valoare coborîtă în toată plaja valorilor semnalului de intrare.

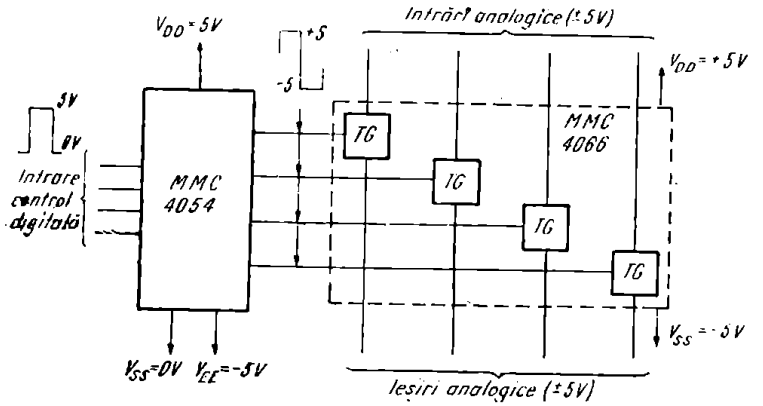
Avantajele acestor comutatoare CMOS față de comutatoarele realizate cu un tranzistor de un singur tip sînt: gama valorilor semnalelor de intrare egală cu valoarea tensiunii de alimentare și rezistența în starea *ON* de valoare coborîtă în toată plaja valorilor semnalului de intrare. Pentru aplicații de tip „*sample-and-hold*" se recomandă, însă, utilizarea circuitului MMC 4016, datorită capacităților de intrare, ieșire și intrare-ieșire de valori mai mici.

Performanțe

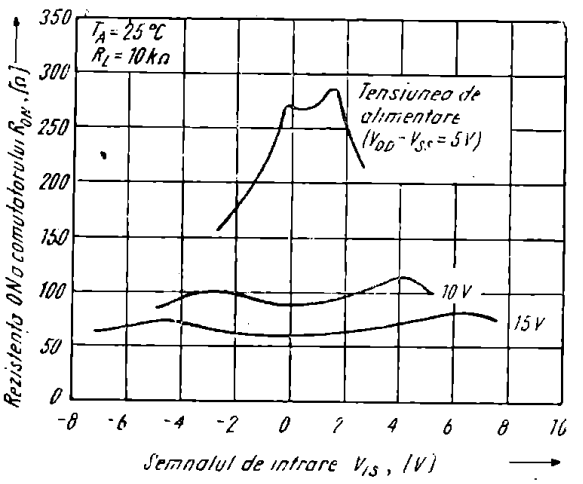
- rezistență în starea *ON*: 80 Ω (tipic) la $V_{DD} - V_{SS} = 15$ V;
- rezistență în starea *ON* împerecheată în 5 Ω (tipic) pentru o plajă a semnalului de intrare de 15 V;
- viteză de răspuns: 40 MHz (tipic);
- liniaritate bună: 0,5% distorsiuni (tipic) pentru $f_{is} = 1$ kHz, $V_{is} = 5$ V_{VV}, $V_{DD} - V_{SS} \geqslant 10$ V, $R_L = 10$ kΩ;
- diafonie redusă între comutatoare (*crosstalk*): —50 dB (tipic) pentru $f_{is} = 0{,}9$ MHz, $R_L = 1$ kΩ
- curent rezidual în starea *OFF*: 10 pA (tipic) pentru $V_{DD} - V_{SS} = 10$ V $T_A = 25$°C.



Schema electrică a unui comutator.



Schemă pentru deplasare de nivel (0, +5V) la (+5V, —5V).



Caracteristica rezistenței *ON* funcție de semnalul de intrare.

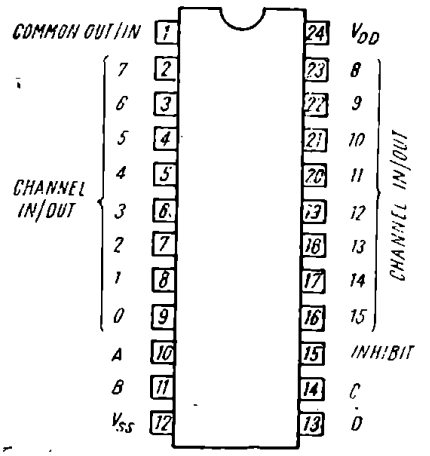
Circuitul integrat MMC 4067 este un multiplexor/demultiplexor analogic şi conţine comutatoare analogice (v. § 1.5.4) controlate digital, care prezintă o rezistenţă în starea *ON* de valoare coborîtă, curent rezidual în starea *OFF* mic şi decodare internă a adresei. În plus, rezistenţa în starea *ON* a comutatoarelor este relativ constantă pe toată plaja valorilor semnalului de intrare.

Circuitul MMC 4067 este un multiplexor cu 16 canale şi are 4 intrări de control *A*, *B*, *C*, *D* şi o intrare de inhibare (*INHIBIT*), aranjate astfel încît o combinaţie a intrărilor să selecteze un canal.

Un nivel 1 logic pe intrarea *INHIBIT* blochează toate canalele.

Performanţe

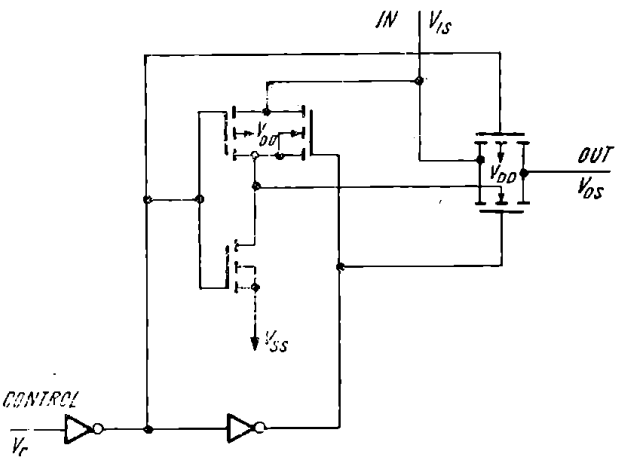
- rezistenţă în starea *ON*: 125 Ω (tipic) pentru o plajă de valori ale semnalului de intrare de pînă la 15 V vîrf-la-vîrf şi $V_{DD} - V_{SS} = 15$ V;
- împerechere de rezistenţă *ON* între comutatoare: 5 Ω (tipic) pentru $V_{DD} - V_{SS} = 15$ V;
- decodarea adreselor binare pe circuit;
- rezistenţa în starea *OFF* mare: curent rezidual ± 10 pA (tipic) pentru $V_{DD} - V_{SS} = 10$ V



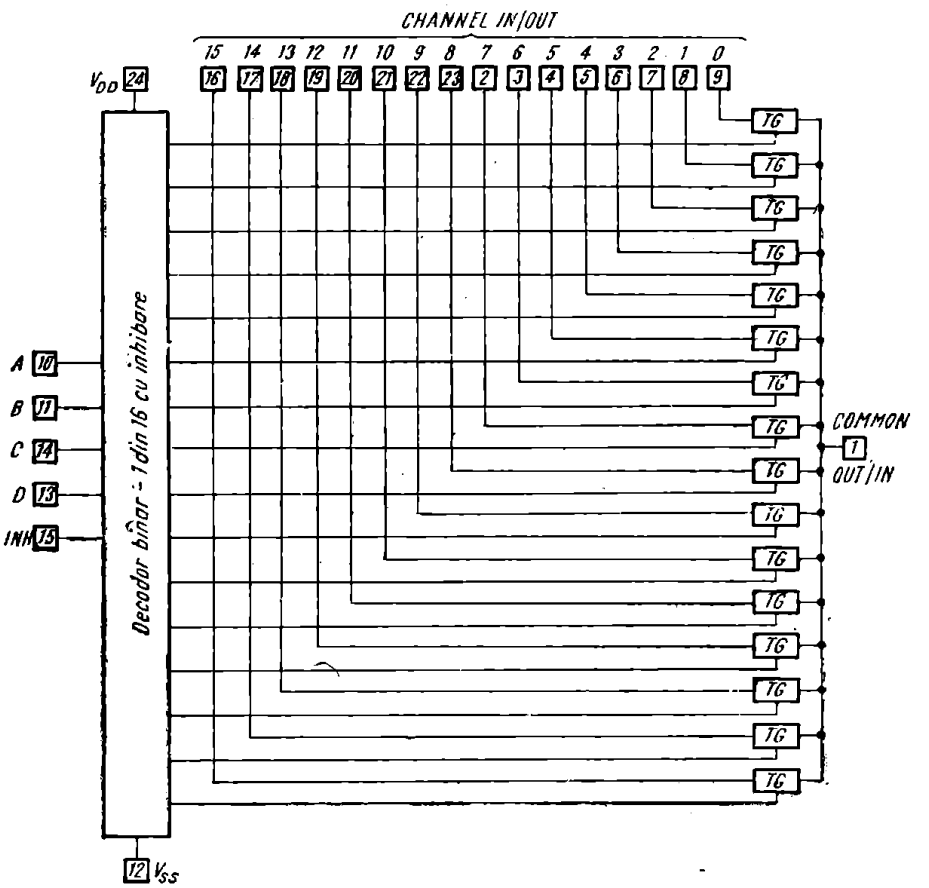
Semnificaţia terminalelor.

A	B	C	D	INH	Canal selectat
X	X	X	X	1	Nici unul
0	0	0	0	0	0
1	0	0	0	0	1
0	1	0	0	0	2
1	1	0	0	0	3
0	0	1	0	0	4
1	0	1	0	0	5
0	1	1	0	0	6
1	1	1	0	0	7
0	0	0	1	0	8
1	0	0	1	0	9
0	1	0	1	0	10
1	1	0	1	0	11
0	0	1	1	0	12
1	0	1	1	0	13
0	1	1	1	0	14
1	1	1	1	0	15

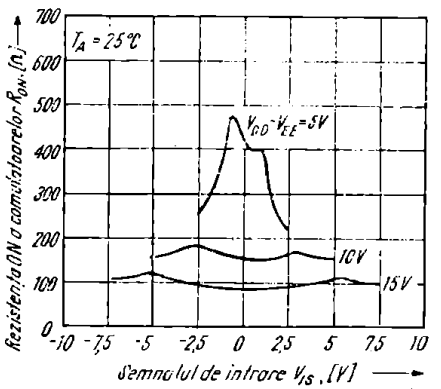
Tabela de adevăr.



Schema electrică a unui comutator.



Schema bloc a circuitului.

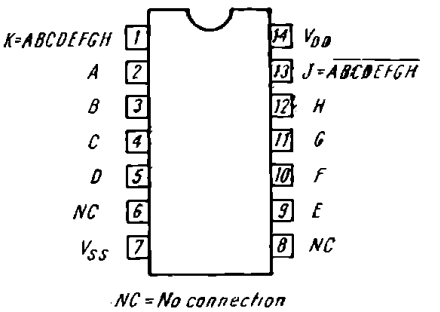


Rezistența *ON* a unui canal funcție de semnalul de intrare.

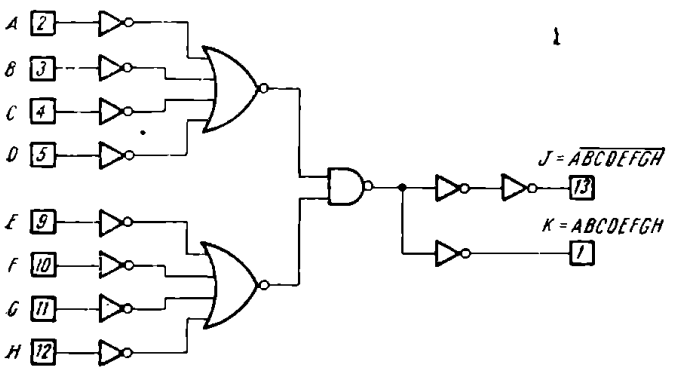
Circuitul integrat MMC 4068 conține o poartă SI-NU/SI (NAND/AND) cu 8 intrări. Pe același circuit există ambele funcții (deci ieșiri separate) SI-NU (NAND) și SI (AND), în logică pozitivă, pentru aceleași 8 intrări. Toate intrările și ieșirile sînt cu buffer.

Performanțe

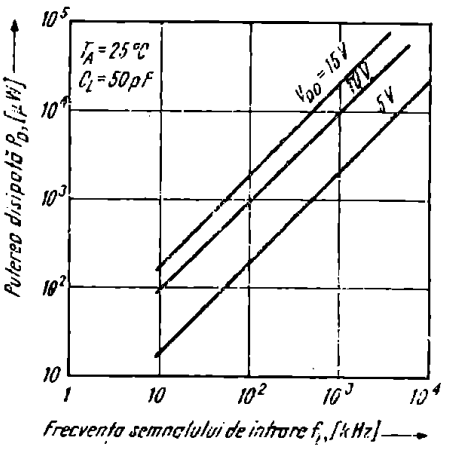
- timp de propagare: 75 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V;
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice.



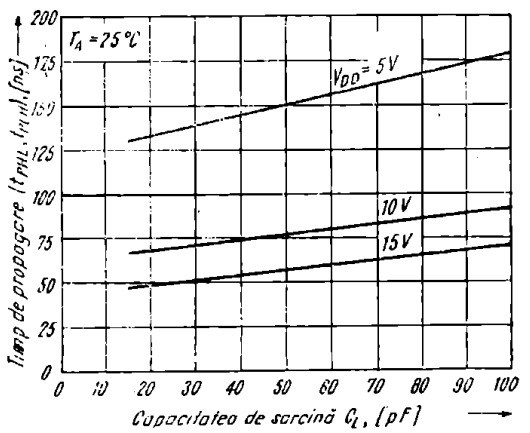
Semnificația terminalelor.



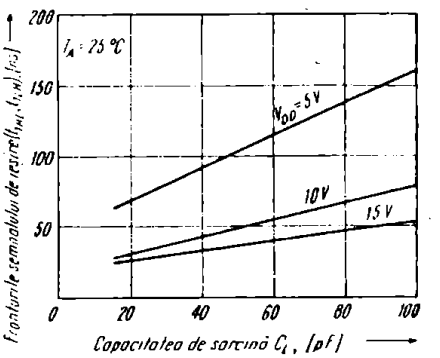
Schema logică a circuitului.



Puterea disipată, funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare-capacitatea de sarcină.

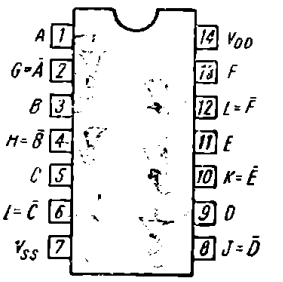


Caracteristica tipică fronturile de ieșire-capacitatea de sarcină.

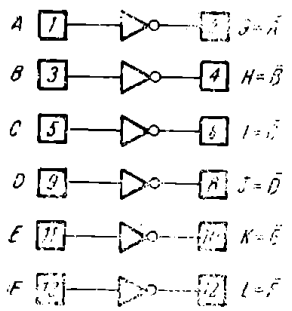
Circuitul integrat MMC 4069 conține șase inversoare CMOS (v. § 1.3). Acest tip de circuit este proiectat pentru aplicații de uz general, în care nu se solicită o capabilitate de comandă pentru porți TTL sau o conversie de nivel logic, ca în cazul circuitului MMC 4049.

Performanțe

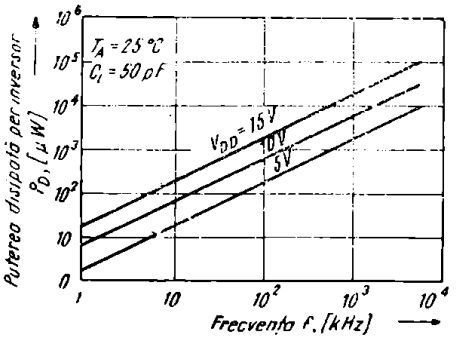
- caracteristici de ieșire simetrice;
- timp de propagare: 30 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



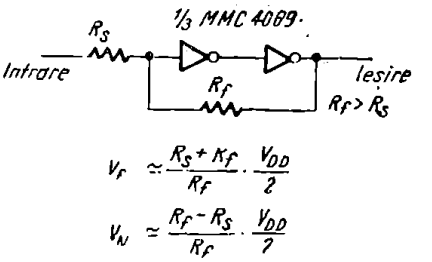
Semnificația terminalelor.



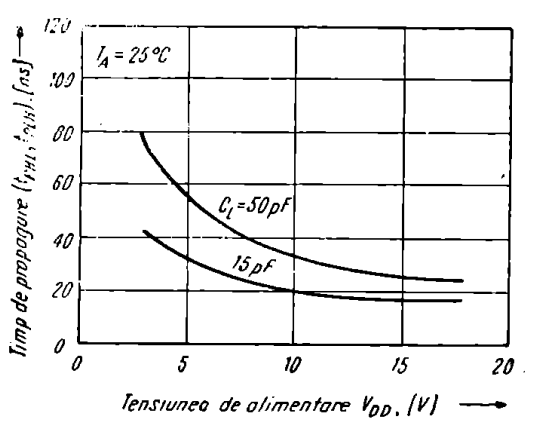
Schema logică a circuitului.



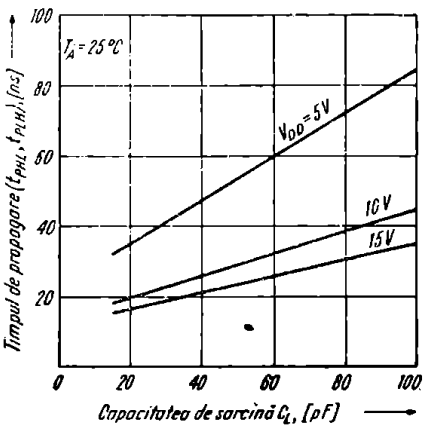
Puterea disipată funcție de frecvența semnalului de intrare.



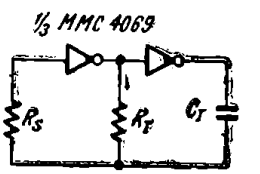
Schema unui trigger Schmitt realizat cu MMC 4069.



Caracteristica tipică timp de propagare-tensiune de diamentare.



Caracteristica tipică timp de propagare capacitatea de sarcină.

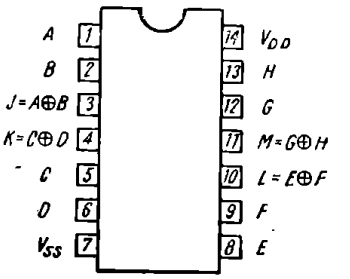


Schema tipică a unui oscilator *RC*.

MMC 4070 PATRU PORȚI SAU-EXCLUSIV CU 2 INTRĂRI

Circuitul integrat MMC 4070 conține patru porți SAU-EXCLUSIV (XOR) cu 2 intrări fiecare. Fiecare poartă SAU-EXCLUSIV constă din patru tranzistoare MOS cu canal *n* și patru tranzistoare MOS cu canal *p*.

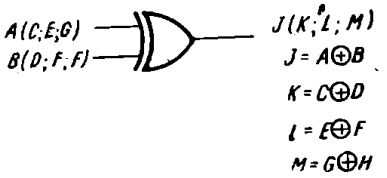
Circuitul MMC 4070 este pin la pin compatibil cu circuitul MMC 4030, dar are o capabilitate sporită de curent pe ieșiri și curent rezidual de intrare mai mic.



Semnificația terminalelor.

Performanțe

- timp de propagare: 65 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V;
- caracteristici de ieșire simetrice;
- impedanță mică de ieșire.

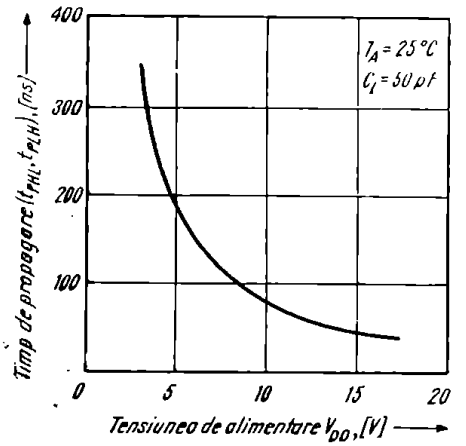


Semnificația terminalelor.

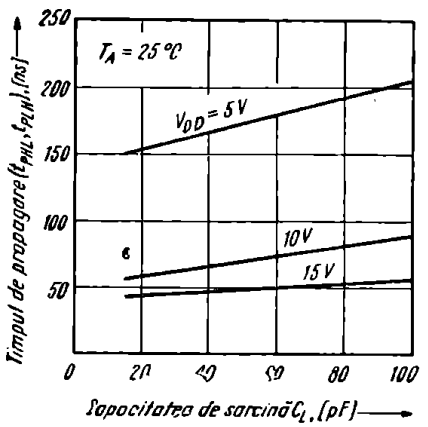
A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

$J = A \oplus B$

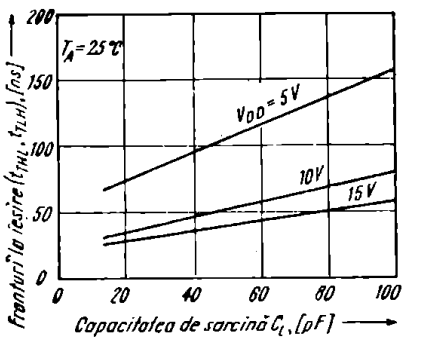
Tabela de adevăr a unei porți.



Caracteristica timp de propagare-tensiune de alimentare.



Caracteristica tipică timp de propagare-capacitate de sarcină.

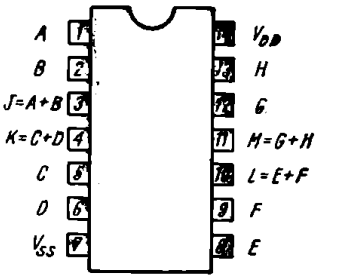


Caracteristica tipică fronturi la ieșire-capacitate de sarcină.

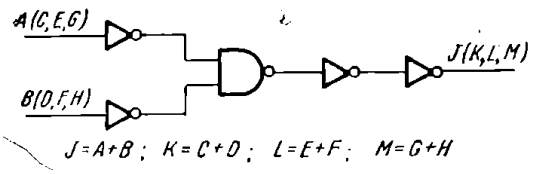
Circuitul integrat MMC 4071 conține patru porți SAU (OR) cu 2 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

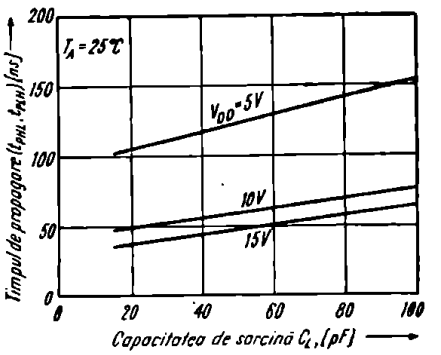
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L=50 pF și V_{DD} = 10 V.



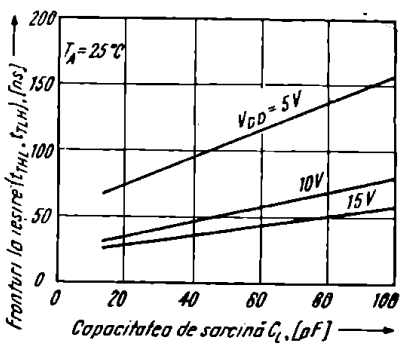
Semnificația terminalelor.



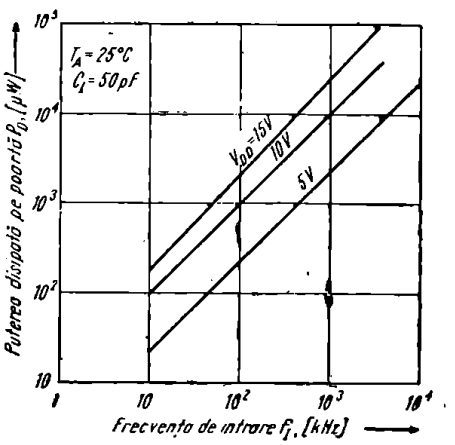
Schema logică a unei porți.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturi la ieșire-capacitate de sarcină.



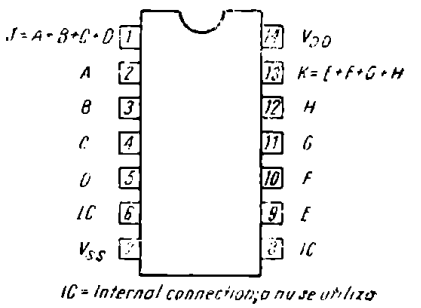
Puterea disipată de o poartă funcție de frecvența semnalului de intrare.

MMC 4072 DOUĂ PORȚI SAU CU 4 INTRĂRI

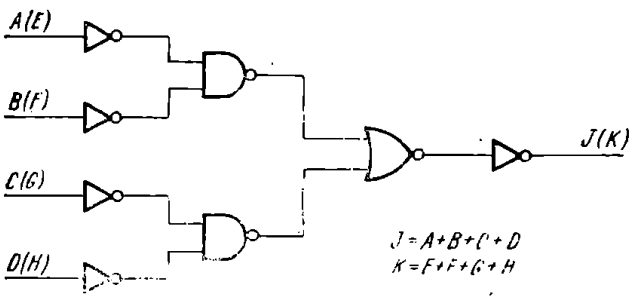
Circuitul integrat MMC 4072 conține 2 porți SAU (OR) cu 4 intrări fiecare, realizate în tehnologie CMOS. Toate intrările au buffer, ca și ieșirile.

Performanțe

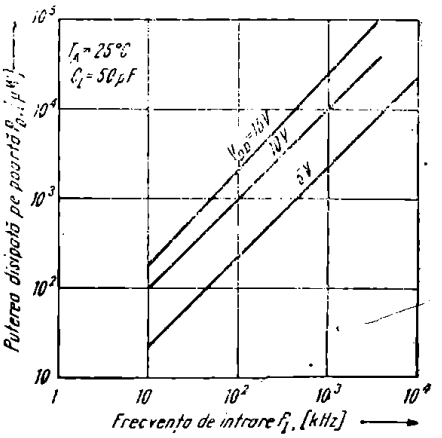
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



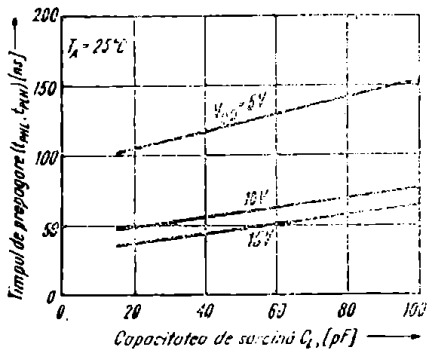
Semnificația terminalelor.



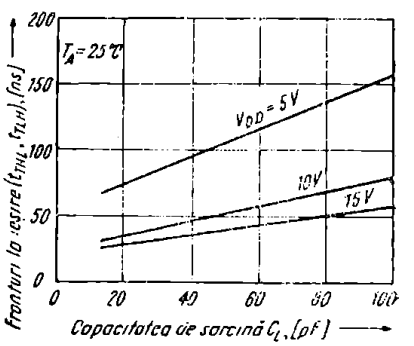
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

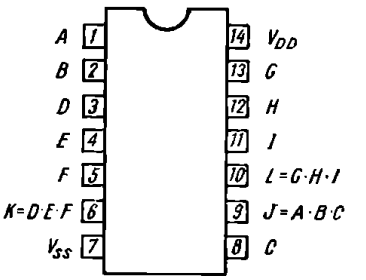


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

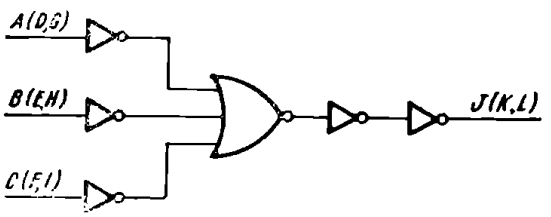
Circuitul integrat MMC 4073 conține trei porți SI (AND) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

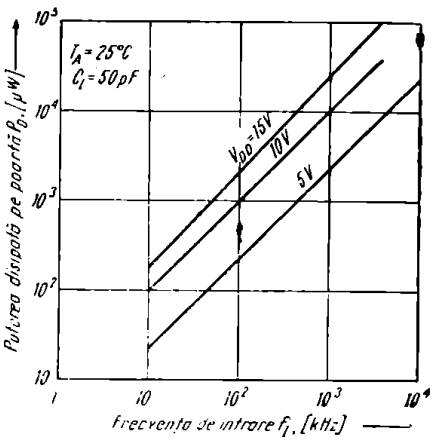
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



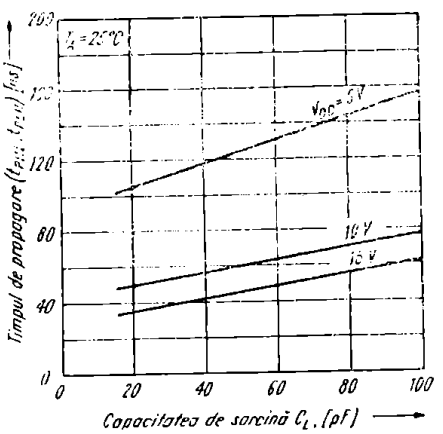
Semnificația terminalelor.



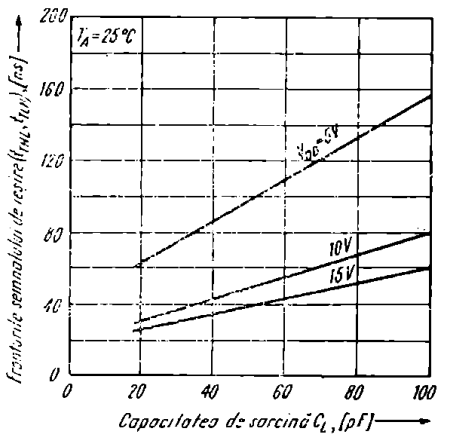
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului la intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

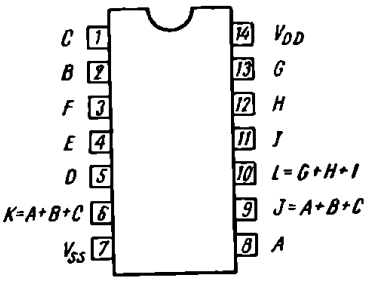


Caracteristica tipică fronturi de ieșire — capacitate de sarcină.

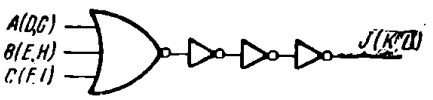
Circuitul integrat MMC 4075 conține trei porți SAU (OR) cu 3 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

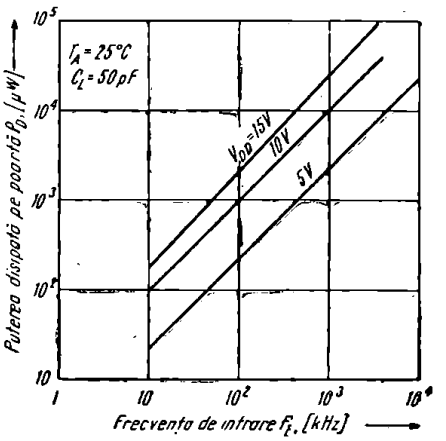
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.



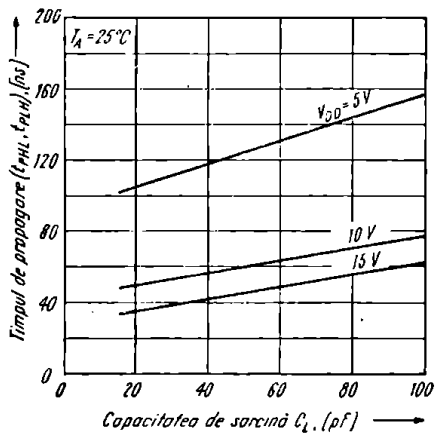
Semnificația terminalelor.



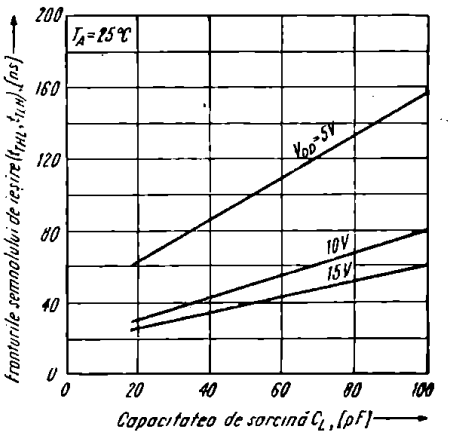
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.



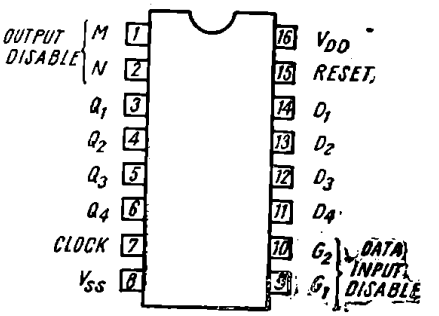
Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

Circuitul integrat MMC 4076 este un registru de 4 biți, realizat cu bistabili de tip D (v. § 1.6.2) și ieșiri „3-state". Există 2 intrări de invalidare (*DATA INPUT DISABLE* — G_1, G_2), care controlează intrarea datelor în registru. Cînd ambele intrări G_1 și G_2 sînt în **0** logic, datele de pe intrările de date D_1, D_2, D_3, D_4 sînt încărcate în bistabilii corespunzători, la următoarea tranziție pozitivă a semnalului de tact (intrarea *CLOCK*).

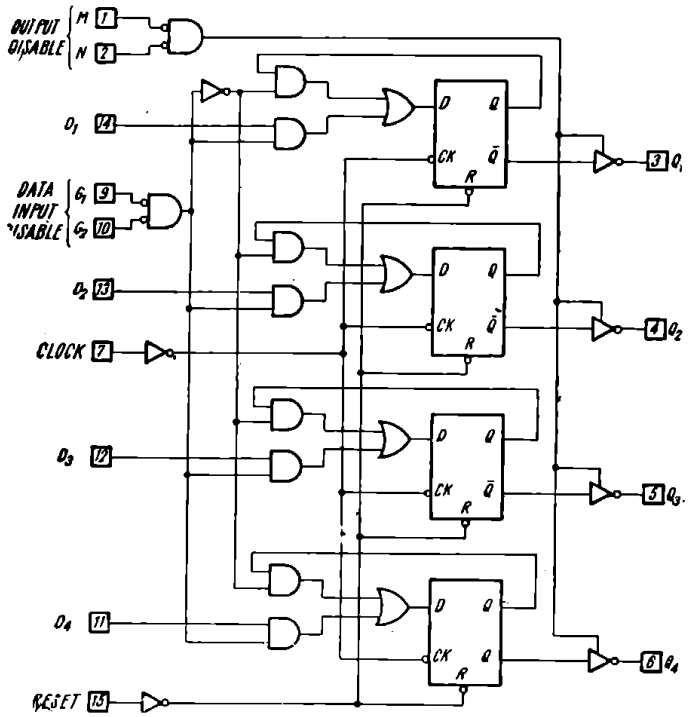
Sînt prevăzute și intrări de invalidare a ieșirilor (*DATA OUTPUT DISABLE* — M, N). Dacă intrările M și N sînt în **0** logic, starea logică din bistabil este disponibilă la ieșire. Ieșirile sînt invalidate independent de tact printr-un **1** logic pe oricare intrare M sau N și prezintă o stare de impedanță ridicată.

Performanțe

- ieșiri „3-state";
- invalidare intrări fără blocare de tact;
- viteză medie de lucru: 12 MHz (tipic) pentru $V_{DD} = 10$ V.



Semnificația terminalelor.

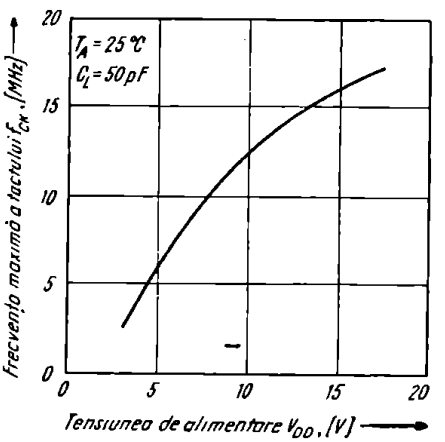


Schema logică a circuitului.

Reset	CK	Data Input Disable		D	Starea următoare Q	
		G_1	G_2			
1	X	X	X	X	0	
0	0	X	X	X	Q	NC
0	↓	1	X	X	Q	NC
0	↓	X	1	X	Q	NC
0	↓	0	0	1	1	
0	↓	0	0	0	0	
0	1	X	X	X	Q	NC
0	↑	X	X	X	Q	NC

NC = Starea nu se schimbă
X = Indiferent
M sau N în 1 logic - ieșire în stare de impedanță ridicată

Tabela de adevăr a circuitului.



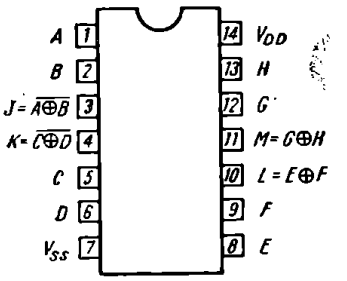
Caracteristica frecvenței maxime a semnalului de tact funcție de tensiunea de alimentare.

MMC 4077 PATRU PORȚI SAU-NU-EXCLUSIV CU 2 INTRĂRI

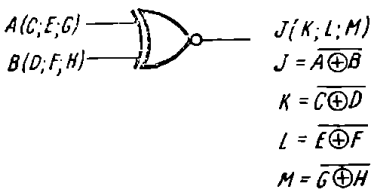
Circuitul integrat MMC 4077 conține patru porți SAU-NU-EXCLUSIV (XNOR) cu 2 intrări fiecare. Fiecare poartă SAU-NU-EXCLUSIV constă din șase tranzistoare MOS cu canal *n* și șase tranzistoare MOS cu canal *p*. Intrările și ieșirile sînt cu buffer.

Performanțe

- timp de propagare: 65 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.
- caracteristici de ieșire simetrice;
- impedanță mică de ieșire.



Semnificația terminalelor.

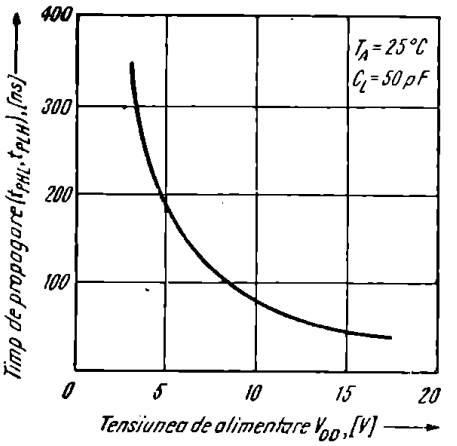


Schema logică a unei porți.

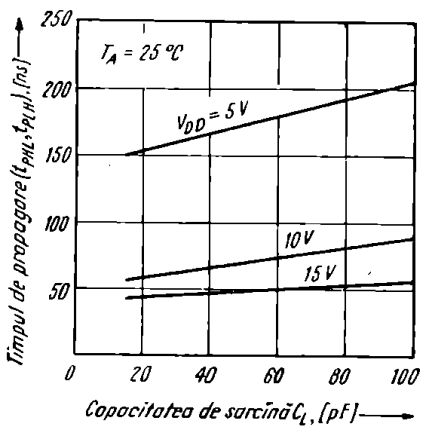
A	B	J
0	0	1
1	0	0
0	1	0
1	1	1

$J = \overline{A \oplus B}$

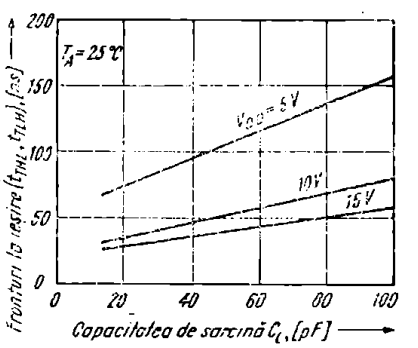
Tabela de adevăr a unei porți.



Caracteristica timp de propagare — tensiune de alimentare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

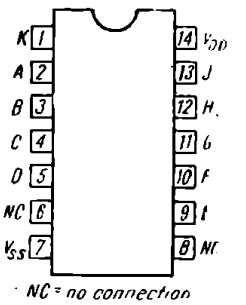


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

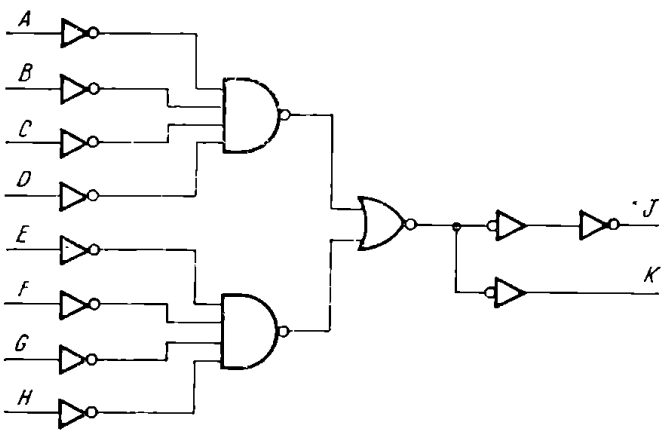
Circuitul integrat MMC 4078 conține o poartă SAU-NU/SAU (NOR/OR) cu 8 intrări. Pe același circuit există ambele funcții (deci ieșiri separate) SAU-NU (NOR) și SAU (OR), în logică pozitivă, pentru aceleași 8 intrări. Toate intrările și ieșirile sînt cu buffer.

Performanțe

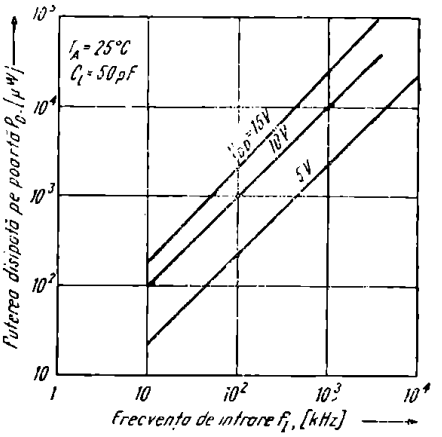
- timp de propagare : 75 ns (tipic) pentru $C_L = 50$ pF și $V_{DD} = 10$ V.
- intrări și ieșiri cu buffer ;
- caracteristici de ieșire simetrice.



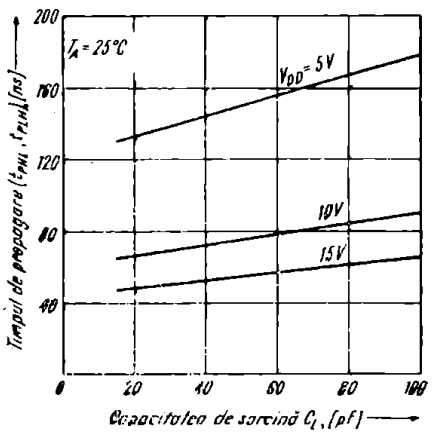
Semnificația terminalelor.



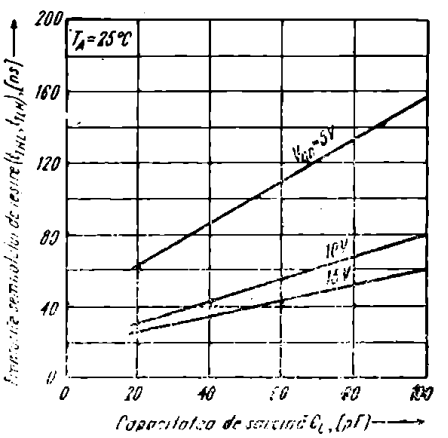
Schema logică a unei porți.



Puterea disipată de poartă funcție de frecvența semnalului la intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

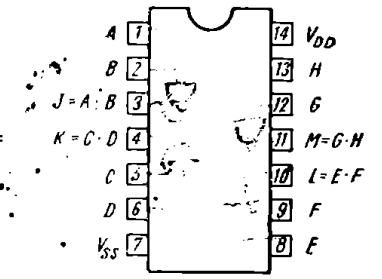


Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

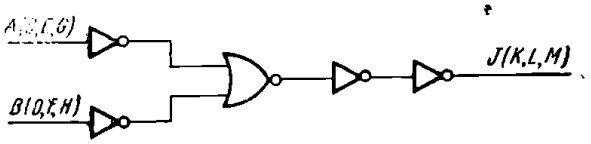
Circuitul integrat MMC 4081 conține patru porți SI (AND) cu 2 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

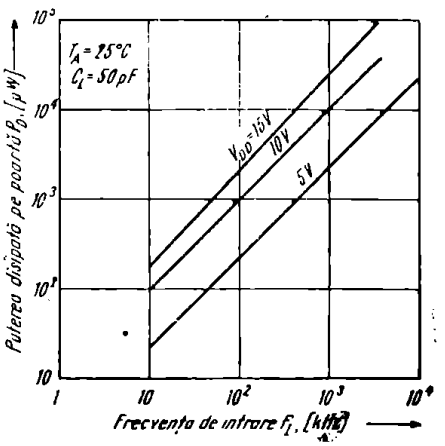
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L = 50 pF și V_{DD} = 10 V.



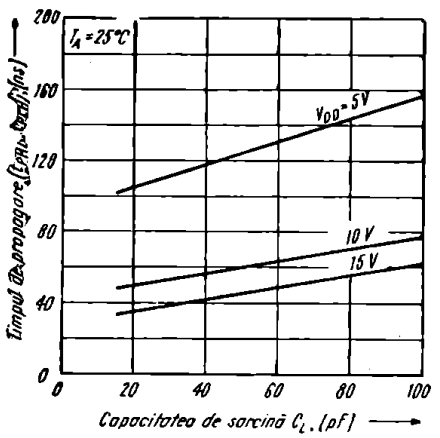
Semnificația terminalelor.



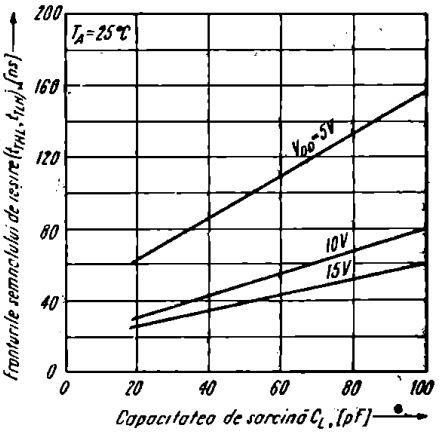
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



Caracteristica tipică timp de propagare — capacitate de sarcină.

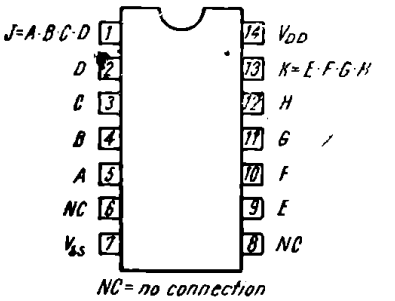


Caracteristica tipică timp de ieșire — capacitate de sarcină.

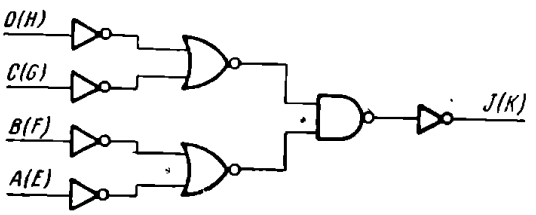
Circuitul integrat MMC 4082 conține două porți SI (AND) cu 4 intrări fiecare, realizate în tehnologie CMOS. Toate intrările și ieșirile sînt cu buffer.

Performanțe

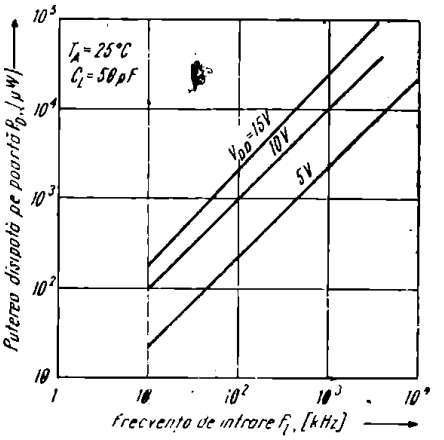
- intrări și ieșiri cu buffer;
- caracteristici de ieșire simetrice;
- timp de propagare: 60 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



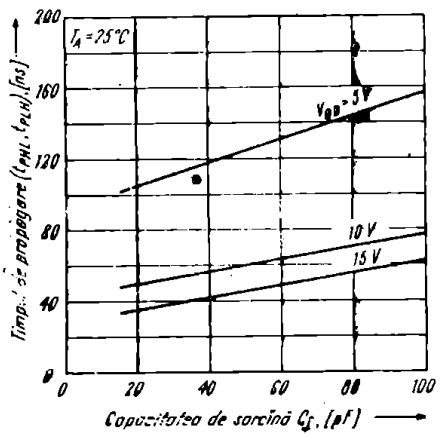
Semnificația terminalelor.



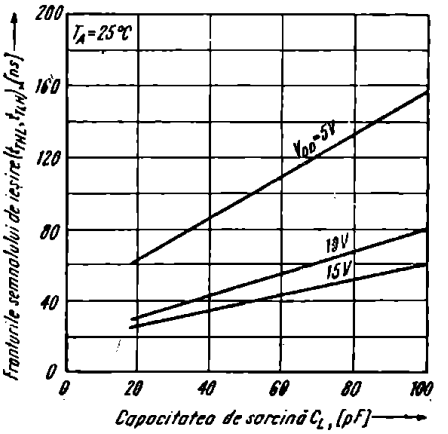
Schema logică a unei porți.



Puterea disipată de o poartă funcție de frecvența semnalului de intrare.



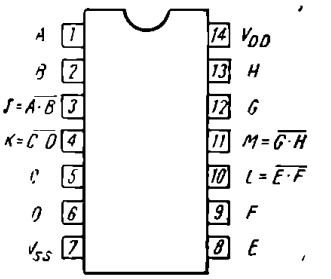
Caracteristica tipică timp de propagare — capacitate de sarcină.



Caracteristica tipică fronturile semnalului de ieșire — capacitate de sarcină.

MMC 4093 PATRU PORȚI ȘI-NU TRIGGER SCHMITT CU 2 INTRĂRI

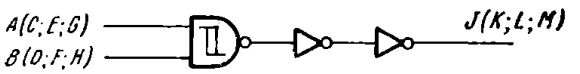
Circuitul integrat MMC 4093 conține patru trigger-e Schmitt. Fiecare dintre acestea funcționează ca o poartă SI-NU (NAND) cu 2 intrări cu acțiune de trigger Schmitt pe ambele intrări. Poarta comută în nivele de tensiune diferite pentru semnale crescătoare și, respectiv, descrescătoare. Diferența între tensiunea pozitivă (V_P) și tensiunea negativă (V_N) este definită ca tensiunea de histeresis (V_H).



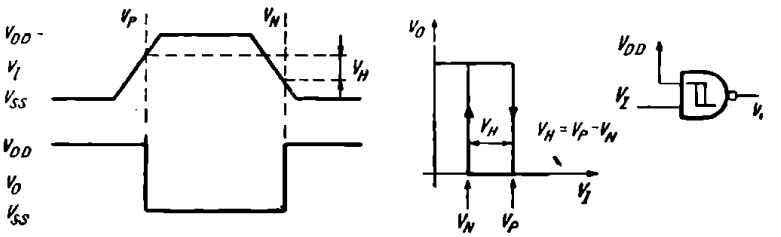
Semnificația terminalelor.

Performanțe

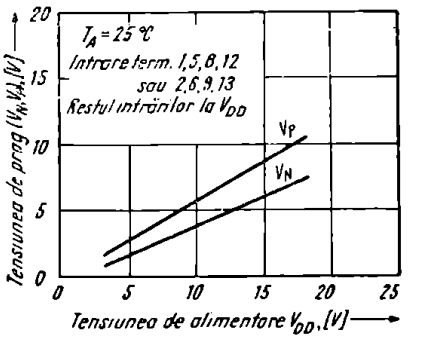
- acțiunea trigger Schmitt pe fiecare intrare ;
- tensiune de histerezis : 0,9 V (tipic) pentru V_{DD} = = 5 V și 2,3 V (tipic) pentru V_{DD} = 10 V ;
- imunitate la zgomot mai mare de 50% ;
- timp de propagare : 150 ns (tipic) pentru V_{DD} = = 10 V.



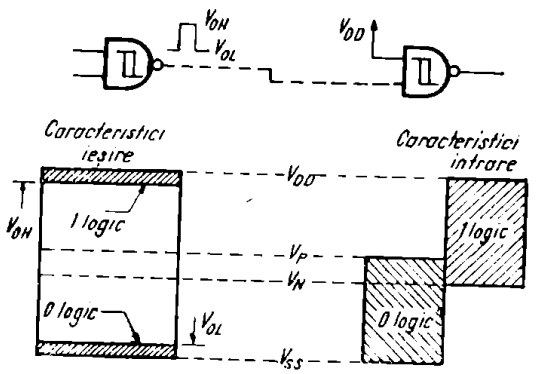
Schema logică a unei porți.



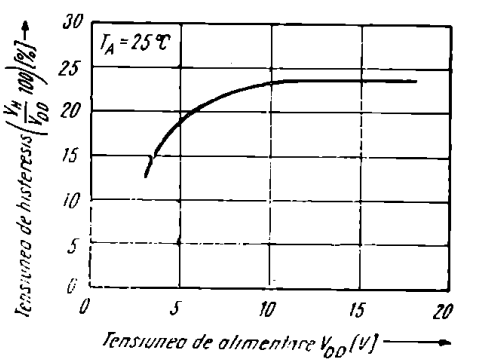
Definiția histeresisului și caracteristica porții.



Caracteristica tipică tensiune de prag — tensiune de alimentare.



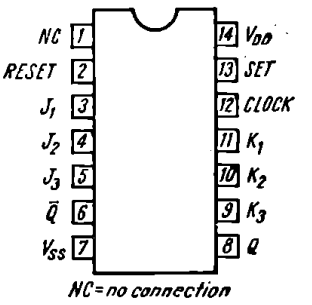
Caracteristicile de intrare și de ieșire.



Caracteristica tipică tensiune de histeresis — tensiune de alimentare.

Circuitul integrat MMC 4095 este un bistabil master-slave de tip JK (v. § 1.6.3) cu intrări multiple (J_1, J_2, J_3 și K_1, K_2, K_3) legate prin funcția SI (AND).

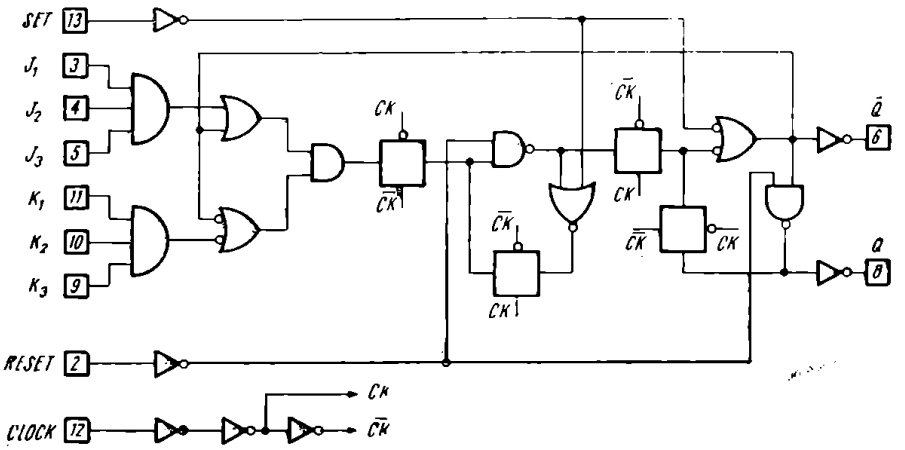
Informația de pe intrările J și K este transferată la ieșirile Q și $\bar{Q}$ pe frontul pozitiv al semnalului de tact (intrarea *CLOCK*). Intrările *SET* și *RESET* (active pe nivelul logic 1) sînt prevăzute pentru operare asincronă.



Semnificația terminalelor.

Performanțe

- frecvență de lucru (modul *toggle*): 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- intrări multiple;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.

Operare sincronă (R=S=0)

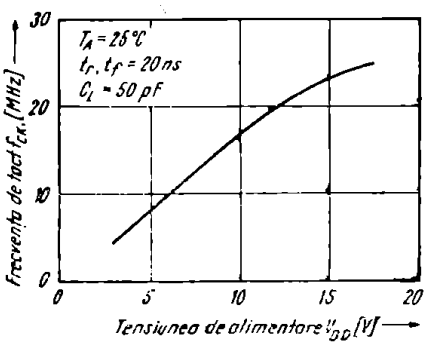
Intrări înainte de tranziție pozitivă		*Intrări după tranziție pozitivă*	
J	*K*	*Q*	$\bar{Q}$
0	0	*Nici o schimbare*	
0	1	0	1
1	0	1	0
1	1	*TOGGLE*	

Operare asincronă (J și K nu contează)

S	*R*	*Q*	$\bar{Q}$
0	0	*Nici o schimbare*	
0	1	0	1
1	0	1	0
1	1	0	0

$J = J_1 \cdot J_2 \cdot J_3$
$K = K_1 \cdot K_2 \cdot K_3$

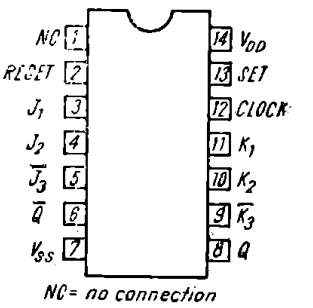
Tabele de adevăr.



Frecvența maximă a semnalului de tact funcție de tensiunea de alimentare.

Circuitul integrat MMC 4096 este un bistabil maser-slave de tip *JK* (v. § 1.6.3) cu intrări multiple (J_1, J_2, $\bar{J}_3$ și K_1, K_2, $\bar{K}_3$) legate prin funcția SI (AND).

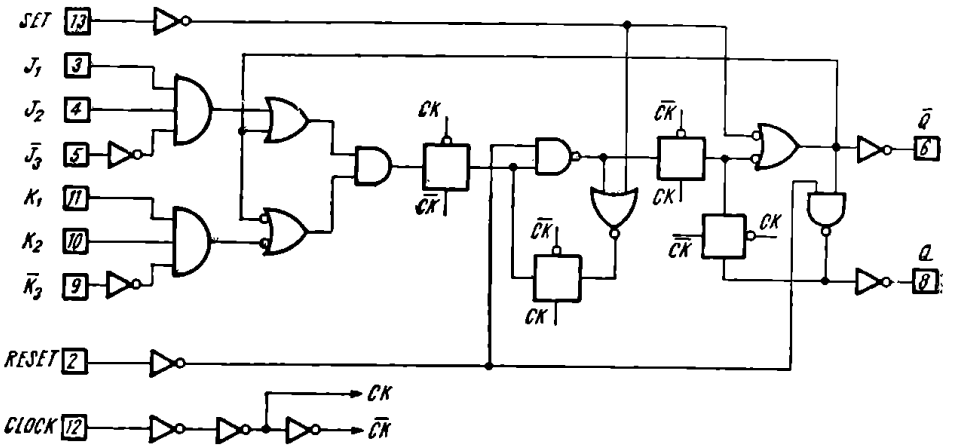
Informația de pe intrările *J* și *K* este transferată la ieșirile Q și $\bar{Q}$ pe frontul pozitiv al semnalului de tact (intrarea *CLOCK*). Intrările *SET* și *RESET* (active pe nivelul logic 1) sînt prevăzute pentru operare asincronă.



Semnificația terminalelor.

Performanțe

- frecvență de lucru (modul *toggle*): 16 MHz (tipic) pentru $V_{DD} = 10$ V;
- intrări multiple;
- caracteristici de ieșire simetrice.



Schema logică a circuitului.

Operare sincronă (R = S = 0)

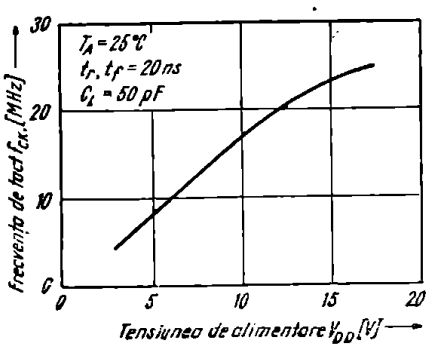
Intrări înainte de tranziție pozitivă		*Intrări după tranziție pozitivă*	
J	*K*	*Q*	$\bar{Q}$
0	0	*Nici o schimbare*	
0	1	0	1
1	0	1	0
1	1	*TOGGLE*	

Operare asincronă (J și K nu contează)

S	*R*	*Q*	$\bar{Q}$
0	0	*Nici o schimbare*	
0	1	0	1
1	0	1	0
1	1	0	0

$J = J_1 \cdot J_2 \cdot \bar{J}_3$
$K = K_1 \cdot K_2 \cdot \bar{K}_3$

Tabele de adevăr.



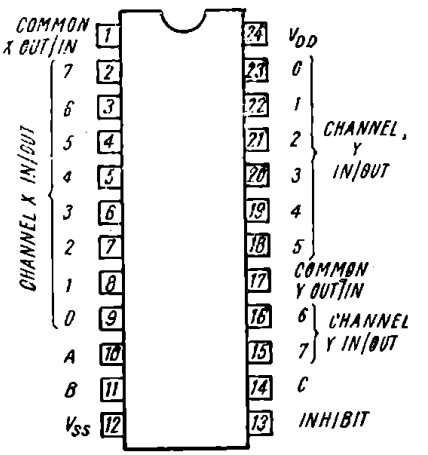
Frecvența maximă a semnalului de tact funcție de tensiunea de alimentare.

MULTIPLEXOR/DEMULTIPLEXOR ANALOGIC DIFERENȚIAL CU 8 CANALE — MMC 4097

Circuitul integrat MMC 4097 este un multiplexor/demultiplexor analogic și conține comutatoare analogice (v. § 1.5.4) controlate digital, care prezintă o rezistență în starea *ON* de valoare coborîtă, curent rezidual în starea *OFF* mic și decodare internă a adresei. În plus, rezistența în starea *ON* a comutatoarelor este relativ constantă pe toată plaja valorilor semnalului de intrare.

Circuitul MMC 4097 este un multiplexor diferențial cu 8 canale și are 3 intrări de control *A*, *B*, *C* și o intrare de inhibare (*INHIBIT*). Intrările permit selecția uneia din cele 8 perechi de comutatoare.

Un nivel **1** logic pe intrarea *INHIBIT* blochează toate canalele.



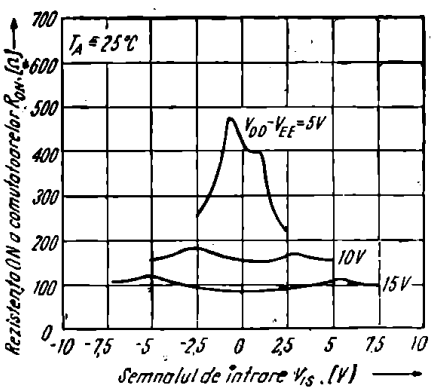
Semnificația terminalelor.

Performanțe

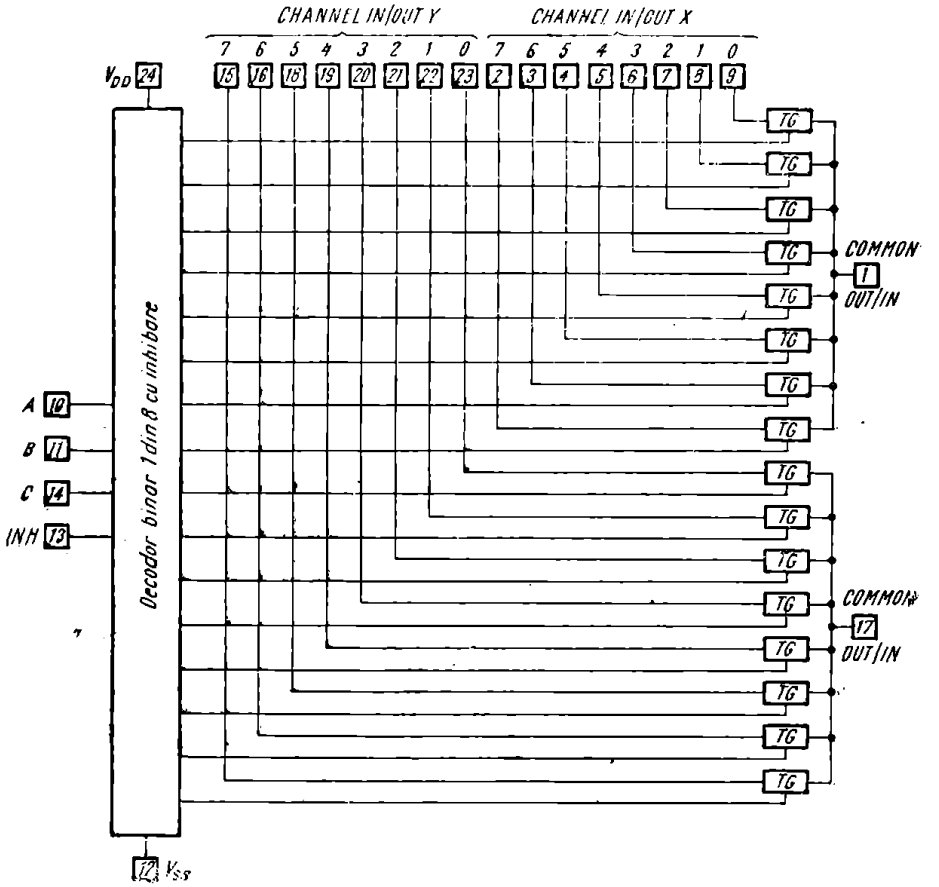
- rezistența în starea *ON*: 125 Ω (tipic) pentru o plajă de valori ale semnalului de intrare de pînă la 15 V vîrf-la-vîrf și $V_{DD} - V_{SS} = 15$ V;
- împerechere de rezistență *ON* între comutatoare: 5 Ω (tipic) pentru $V_{DD} - V_{SS} = 10$ V;
- decodarea adreselor binare pe circuit;
- rezistență în starea *OFF* mare: curent rezidual ± 10 pA (tipic) pentru $V_{DD} - V_{SS} = 10$ V.

A	*B*	*C*	*INH*	*Canal selectat*
X	*X*	*X*	*1*	*Niciunul*
0	*0*	*0*	*0*	*0X, 0Y*
1	*0*	*0*	*0*	*1X, 1Y*
0	*1*	*0*	*0*	*2X, 2Y*
1	*1*	*0*	*0*	*3X, 3Y*
0	*0*	*1*	*0*	*4X, 4Y*
1	*0*	*1*	*0*	*5X, 5Y*
0	*1*	*1*	*0*	*6X, 6Y*
1	*1*	*1*	*0*	*7X, 7Y*

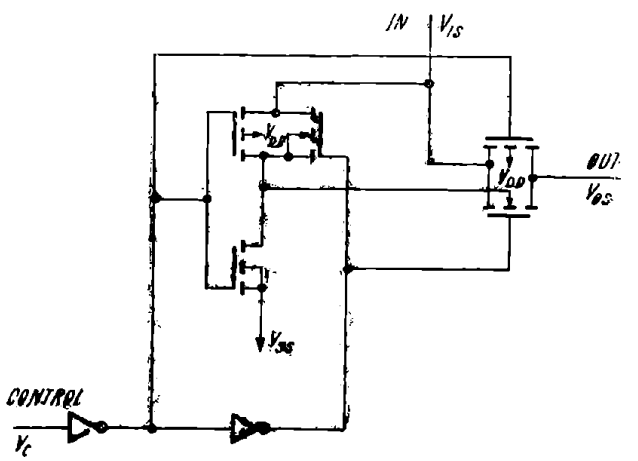
Tabela de adevăr.



Rezistența *ON* a unui canal funcție de semnalul de intrare.



Schema bloc a circuitului.



Schema electrică a unui comutator.

Circuitul integrat MMC 4098 conține două monostabile care sînt operabile și în modul de lucru retriggerabil.

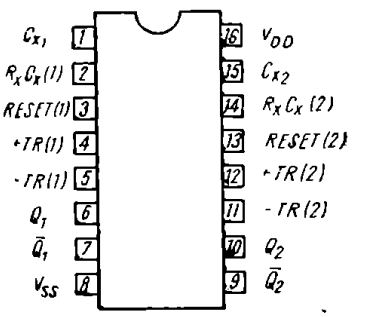
Controlul temporizării circuitului se realizează cu o rezistență externă (R_x) și un capacitor extern (C_x). Ajustarea grupului $R_x - C_x$ asigură o largă varietate de durate de impulsuri la ieșirile Q și $\bar{Q}$. Timpul de propagare al semnalului de la intrarea TRIGGER la ieșire (timpul de propagare trigger) și timpul de propagare al semnalului de la intrarea *RESET* la ieșire (timpul de propagare reset) sînt independente de R_x și C_x.

Intrările de $+TR$ (trigger pe front pozitiv — *leading-edge*) și $-TR$ (trigger pe front negativ — *trailing—edge*) asigură posibilitatea de triggerare pe oricare front al impulsului de intrare. Atunci cînd nu se utilizează intrarea $+TR$, aceasta trebuie legată la V_{SS}, iar cînd nu se utilizează intrarea $-TR$, aceasta trebuie legată la V_{DD}.

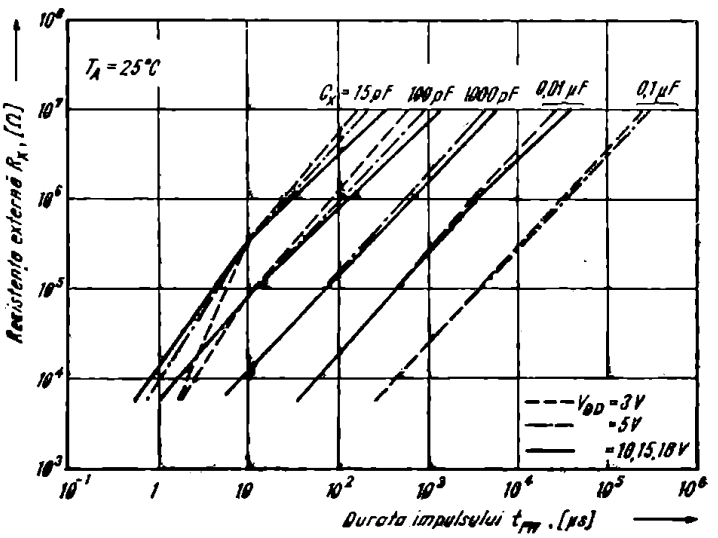
Există și intrare de *RESET* (activă pe nivel **0** logic) pentru a comuta imediat ieșirea sau pentru a preveni impulsuri pe ieșire la cuplarea sursei de alimentare. Intrarea *RESET* neutilizată se leagă la V_{DD}. Dacă nu se folosesc ambele monostabile din MMC 4098, intrarea *RESET* a celui nefolosit se va lega la V_{SS}.

În modul de operare normală, circuitul comută (extinde impulsul de ieșire cu o perioadă) la aplicarea fiecărui nou impuls de comandă. Pentru operarea în modul de lucru neretriggerabil ieșirea $\bar{Q}$ se leagă la $-TR$ cînd se utilizează intrarea $+TR$, sau ieșirea Q se leagă la $+TR$ cînd se utilizează intrarea $-TR$.

Perioada de timp T a acestui monostabil se poate aproxima cu $T_x = (1/2) \cdot R_x C_x$ pentru $C_x \geqslant 0{,}01$ μF. Valorile lui T variază de la capsulă la capsulă și ca o funcție de tensiune, temperatură și $R_x C_x$. Valoarea minimă a rezistenței externe R_x este de 5 kΩ. Valoarea maximă a capacității externe C_x este de 100 μF.



Semnificația terminalelor.

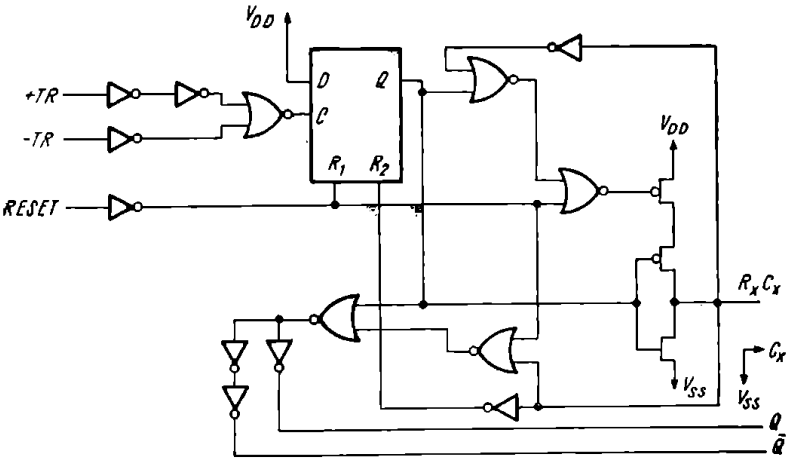


Caracteristica tipică rezistență externă — durata impulsului.

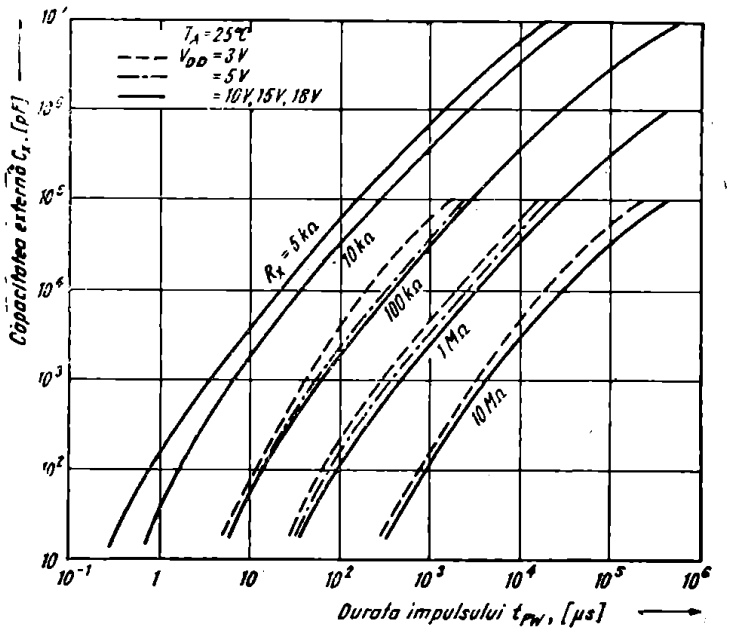
Durata impulsului de ieșire are variații tipice de ±2,5%, în plaja de temperatură −55°C la +125°C pentru $R_x = 100$ kΩ și $C_x = 1\,000$ pF. Pentru variații de ±5% ale sursei de alimentare, durata impulsului de ieșire variază tipic cu ±0,5% pentru $V_{DD} = 10$ V și 15 V, și cu ±1% tipic pentru $V_{DD} = 5$ V, la $C_x = 1\,000$ pF și $R_x = 5$ kΩ.

Performanțe

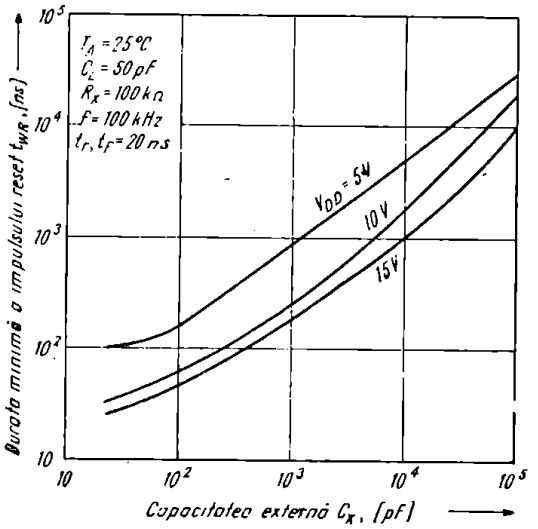
- capabilități de retriggerare/resetare;
- timpi de propagare trigger și reset independenți de R_xC_x;
- triggerare pe front pozitiv sau negativ;
- ieșiri Q și $\bar{Q}$ cu buffer.



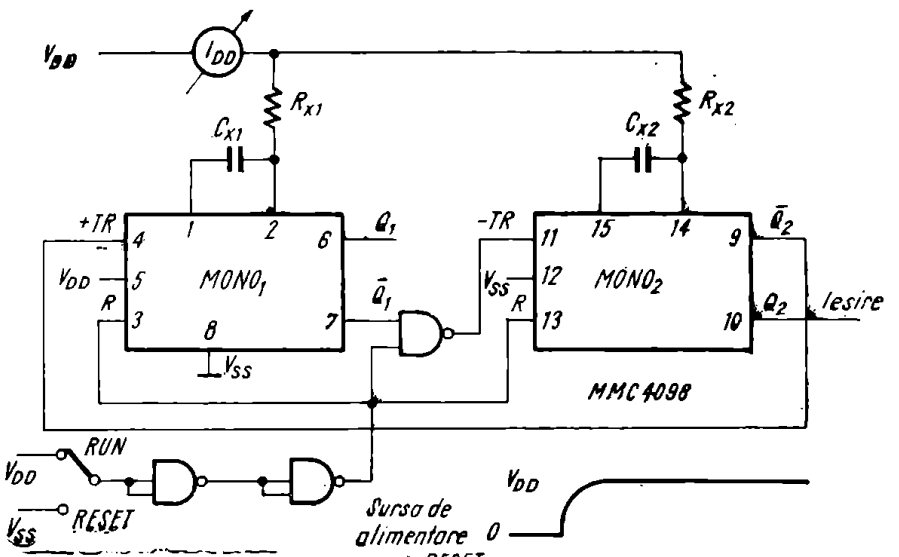
Schema logică a unui monostabil.



Caracteristica tipică capacitate externă — durata impulsului.



Durata minimă a impulsului de RESET funcție de capacitatea externă.



R_X	I_{DD} (mediu)	T_X ($T_1 + T_2$)	V_{DD}
10k	1mA ↓ 0,05mA	3,8μs ↓ 0,5s	5V
	2,5mA ↓ 0,5mA	3,2μs ↓ 0,5s	10V
10M	5mA ↓ 1mA	3μs ↓ 0,5s	15V

NOTĂ: Toate valorile sînt tipice
C_X: 0,0001μF ÷ 0,1μF

Schema unui astabil realizat cu MMC 4098.

Tabelul conexiunilor funcţionale

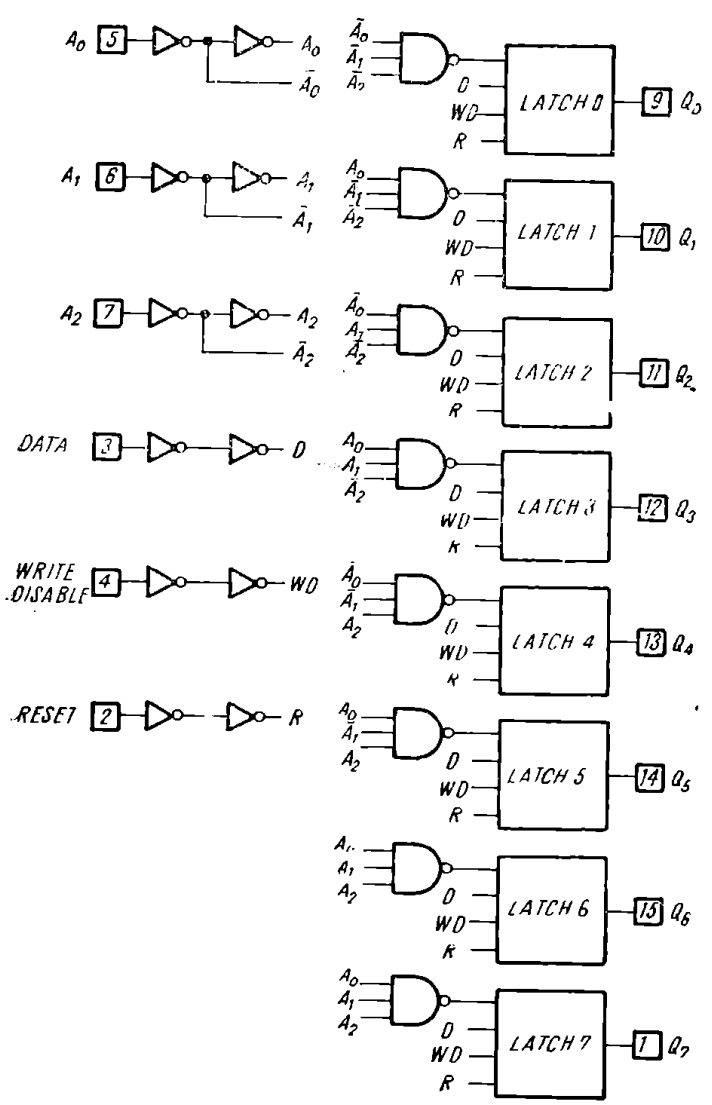
FUNCŢIONARE	Conectarea terminalelor				Alte conexiuni			
	La V_{DD}		La V_{SS}		Impuls intrare			
	Mono (1)	Mono (2)	Mono (1)	Mono (2)	Mono (1)	Mono (2)	Mono (1)	Mono (2)
Monostabil retriggerabil (comandat pe front pozitiv)	3,5	11,13			4	12		
Monostabil neretriggerabil (comandat pe front pozitiv)	3	13			4	12	5,7	11,9
Monostabil retriggerabil (comandat pe front negativ)	3	13	4	12	5	11		
Monostabil neretriggerabil (comandat pe front negativ)	3	13			5	11	4,6	12,10
Secţiunea neutilizată	5	11	3,4	12,13				

NOTE: [1] Un monostabil retriggerabil are o durată a impulsului la ieşire care se prelungeşte cu o perioadă de timp T_x după aplicarea ultimului impuls de comutare.
[2] Un monostabil neretriggerabil emite un impuls a cărui durată T_x se măsoară începînd cu aplicarea primului impuls de comutare.

Circuitul integrat MMC 4099 este un latch adresabil de 8 biți, cu intrare comună și ieșire paralel.

Data este introdusă într-un latch selectat anume (prin intrările A_0, A_1, A_2) și cînd intrarea *WRITE DISABLE* este în **0** logic. Cînd *WRITE DISABLE* este în **1** logic, intrarea datelor este inhibată ; toate cele 8 ieșiri pot fi citite în mod continuu și independent de *WRITE DISABLE* și intrările de adresă.

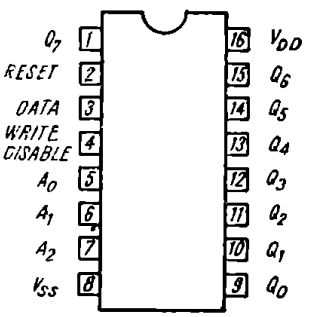
Există o intrare de *RESET* general, care aduce toți biții în **0** logic cînd *RESET* și *WRITE DISABLE* sînt în **1** logic. Cînd *RESET* este în **1** logic și *WRITE DISABLE* în **0** logic, latch-ul se comportă ca un demultiplexor 1 din 8; bitul adresat are ieșirea activă și urmărește intrarea de date, în timp ce restul biților (care au fost selectați) sînt ținuți în **0** logic.



Schema logică a circuitului.

Performanțe

- intrare serială de date;
- ieșiri active paralel ;
- poate funcționa ca demultiplexor ;
- timp de propagare : 75 ns (tipic) pentru $V_{DD} = 10$ V.



Semnificația terminalelor.

Tipuri	*WD*	*R*	Latch adresat	Latch neadresabil
A	0	0	Urmărește *Data*	Menține starea anterioară
B	0	1	Urmărește *Data*	Reset în starea **0**
			Demultiplexor cu 8 canale	
C	1	0	Menține starea anterioară	
D	1	1	Reset în starea **0**	Reset în starea **0**

Tabelul de selectare a modului de lucru

Circuitul integrat MMC 4500 este o unitate de control industrial de 1 bit, care poate înlocui procesoare multibit sau logică cablată în aplicații de control.

Dispozitivul acceptă 16 instrucțiuni de 4 biți. Fiecare instrucțiune desemnează o operație asupra unei date care apare pe o linie bidirecțională de 1 bit. Principalul avantaj al circuitului îl constituie simplitatea utilizării sale în aplicațiile repetitive de control ale sistemelor.

O configurație minimă de sistem conține procesorul, o memorie externă de program, un contor de programe, un selector de date de 8 canale și un latch adresabil de 8 biți. Intrările de instrucțiuni sînt compatibile TTL și linia de date bidirecțională de 1 bit are capabilitate „3-state". În circuit există 3 registre de 1 bit, care sînt direct adresabile și un oscilator pentru semnalul de tact.

Cele 16 instrucțiuni de 4 biți reprezintă întregul set de instrucțiuni. Există 7 instrucțiuni logice, 5 de control al programului, 2 pentru ieșire și 2 de tip NOP. Toate operațiile se execută pe bit. Programul din memorie se poate repeta după ce contorul de program atinge valoarea maximă, prin continuarea numărării, ceea ce înseamnă revenirea la prima instrucțiune.

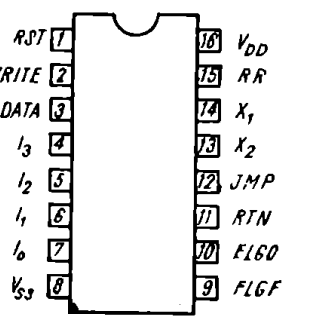
Circuitul conține un oscilator intern (utilizează o rezistență exterioară între terminalele *X1* și *X2*), care generează semnalul de tact intern (disponibil exterior la *CLK OUT X1*). Circuitul poate fi utilizat și cu semnal de tact extern (intrarea *X2*). Orice instrucțiune se execută pe o perioadă a semnalului de tact.

Rezultatele operațiilor booleene se memorează în registrul de rezultate (*RR*), care este, de fapt, un acumulator de 1 bit. Aceste rezultate sînt generate în unitatea logică (*LU*), care are ca intrări data exterioară și *RR*. Instrucțiunile prezente pe intrările corespunzătoare ($I_0 \ldots I_3$) sînt memorate în registrul de instrucțiune (*IR*) pe tranziția negativă a semnalului de tact (de la ieșirea *X1*). Instrucțiunile sînt decodate în unitatea de control logic (*CTL*), care transmite comenzile corespunzătoare către *LU*. În *CTL* se decodifică ieșirile de semnalizare *JMP*, *RTN*, *FLGO*, *FLGF*, care sînt semnale de control externe ce rămîn active pe o perioadă a semnalului de tact după tranziția negativă a semnalului *X1* (*TACT*).

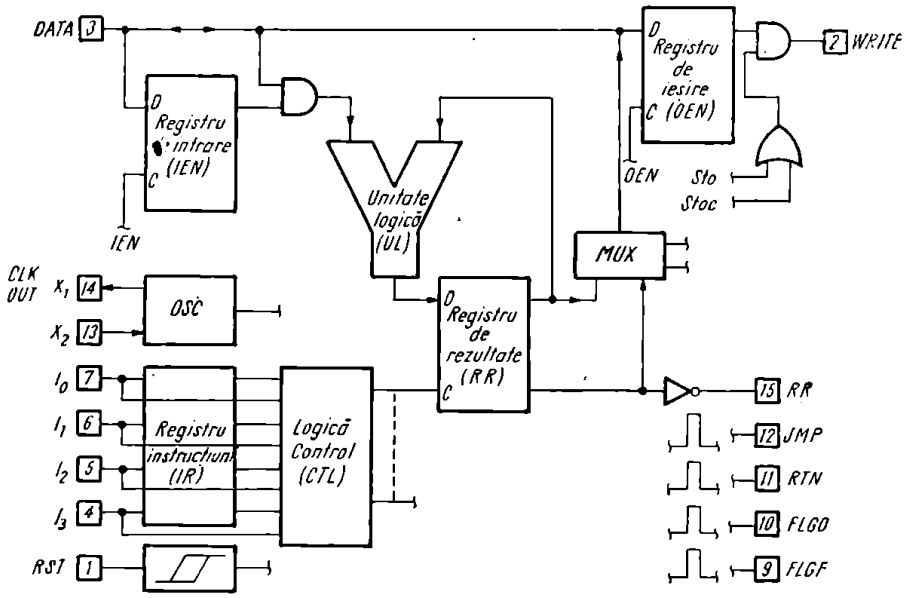
Transferul de date de la și spre microprocesor este controlat de conținutul a 2 latch-uri interne, registrul de validare a intrării (*IEN*) și registrul de validare a ieșirii (*OEN*). *IEN* validează calea de date spre *LU* cînd este în **1** logic. *OEN* în **1** logic, validează semnalul de scriere (*WRITE*) și ieșirea de date. Trebuie observat că aceste registre pot fi setate prin terminalul *DATA*.

Circuitul are un reset general (*RST*) activ în **1** logic, care șterge conținutul registrelor și comandă semnalele *FLAG* din circuit în **0** logic. Terminalul oscilatorului *X1* este ținut în **1** logic, cînd *RST* este în **1** logic. Dacă *RST* trece în **0** logic, oscilatorul pornește după un interval de timp. În plus, starea *RR* este disponibilă la ieșirea cu buffer *RR* (terminal *15*).

Circuitele de suport pentru un sistem cu MMC 4500 sînt MMC 4599 (sau, MMC 4099) — latch adresabil de 8 biți, MMC 4508 — două latch-uri de 4 biți ieșire „3-state", MMC 4051 — multiplexor cu 8 canale și MMC 4503 — buffer-e cu ieșiri „3-state".



Semnificația terminalelor.

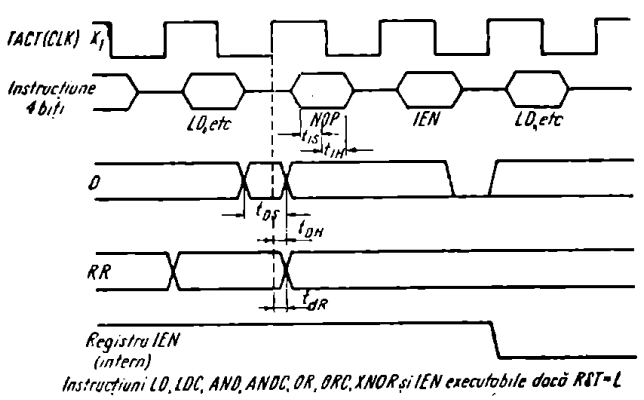


Schema bloc a circuitului.

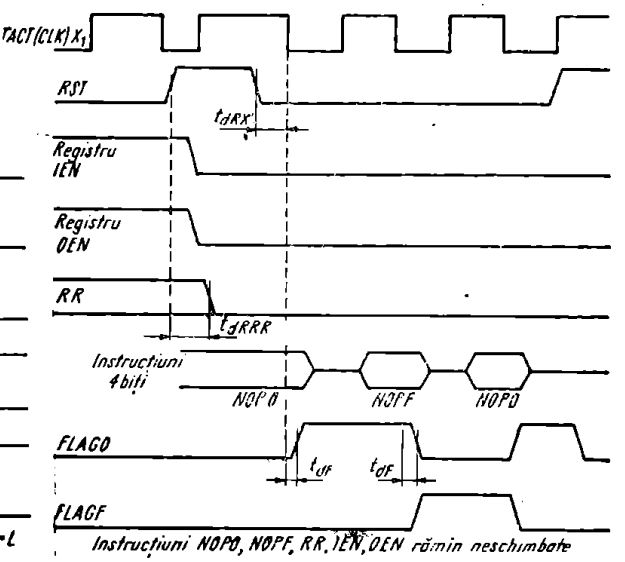
Există o variantă a circuitului MMC 4500 fabricată în tehnologie I^2L la IPRS Băneasa, sub codul βP 14500. Circuitele sînt pin la pin compatibile.

Performanțe

- operare statică ;
- frecvența semnalului de tact : 1 MHz (tipic) pentru $V_{DD} = 5$ V ;
- intrări de instrucțiuni compatibile TTL.



Forme de undă pentru instrucțiunile LD, LDC, AND, ANDC, OR, ORC, XOR și IEN.



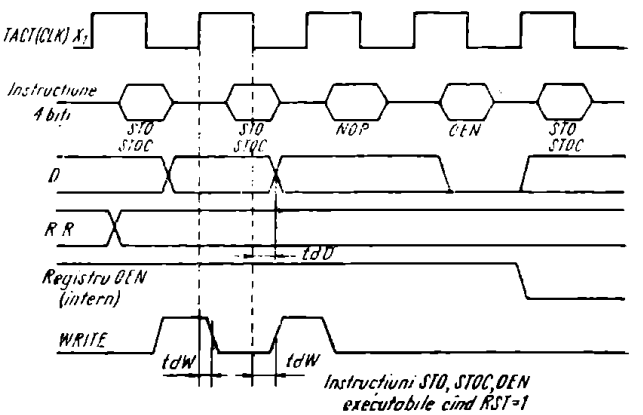
Forme de undă pentru instrucțiunile NOPO, NOPF.

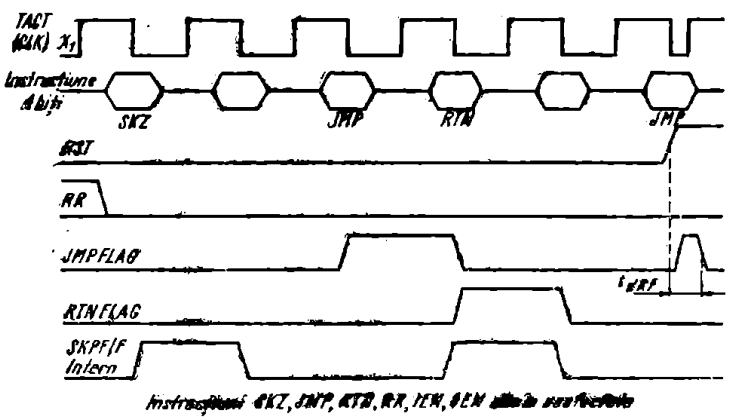
Figura 3.315

CODUL INSTRUCȚIUNII		MNEMONICA	ACȚIUNE
# 0	0 0 0 0	NOPO	Nici o schimbare în registre $R \rightarrow R$, $FLGO \leftarrow _\overline{\lfloor}\overline{\rfloor}_$
# 1	0 0 0 1	LD	Încarcă RR: $DATA \rightarrow RR$
# 2	0 0 1 0	LDC	Încarcă complementul $DATA$ cu RR: $DATA \rightarrow RR$
# 3	0 0 1 1	AND	$RR_n \cdot D \rightarrow RR_{n+1}$
# 4	0 1 0 0	ANDC	$RR \cdot \overline{D} \rightarrow RR$
# 5	0 1 0 1	OR	$RR + D \rightarrow RR$
# 6	0 1 1 0	ORC	$RR + \overline{D} \rightarrow RR$
# 7	0 1 1 1	XNOR	$\overline{RR \oplus D} \rightarrow RR$
# 8	1 0 0 0	STO	$RR \rightarrow$ terminalul $DATA$, comandă $SCRIERE$ ($WRITE \leftarrow 1$)
# 9	1 0 0 1	STOC	$RR \rightarrow$ terminalul $DATA$, comandă $SCRIERE$ ($WRITE \leftarrow 1$)
# A	1 0 1 0	IEN	Încărcare registru de intrare $DATA \rightarrow Reg.\ IEN$
# B	1 0 1 1	OEN	Încărcare registru de ieșire $DATA \rightarrow Reg.\ OEN$
# C	1 1 0 0	JMP	Instrucțiune de salt $JMP \leftarrow _\overline{\lfloor}\overline{\rfloor}_$
# D	1 1 0 1	RTN	Return. $RTN \leftarrow _\overline{\lfloor}\overline{\rfloor}_$ sare următoarea instrucțiune
# E	1 1 1 0	SKZ	Dacă $RR = 0$ sare următoarea instrucțiune
# F	1 1 1 1	NORF	Nici o schimbare în registre, $FLGF \leftarrow _\overline{\lfloor}\overline{\rfloor}_$

Setul de instrucțiuni al microprocesorului.

Forme de undă pentru instrucțiunile STO, STOC, OEN.

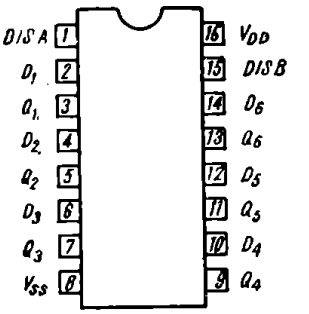




Forme de undă pentru instrucțiunile SKZ, JMP, RTN.

Circuitul integrat MMC 4503 conține șase etaje buffer neinversoare cu ieșiri „3-state" și capabilitate sporită în curent. Ieșirile „3-state" fac circuitul util în aplicații orientate pe magistrale de date.

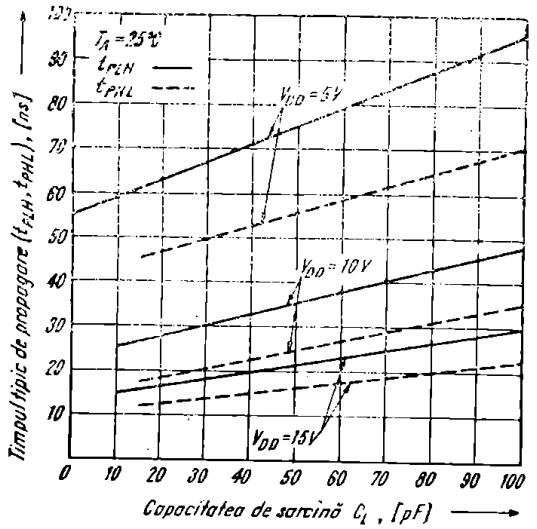
Există două intrări separate de invalidare (*DISABLE*). Buffer-ele 1...4 sînt controlate de *DISABLE A*, iar buffer-ele 5 și 6 de *DISABLE B*. Un nivel 1 logic pe oricare intrare de *DISABLE* face ca ieșirile etajelor pe care le controlează să treacă în starea de impedanță ridicată.



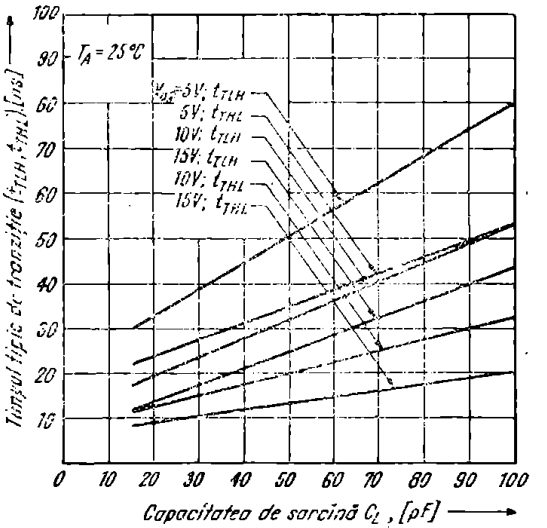
Semnificația terminalelor.

Performanțe

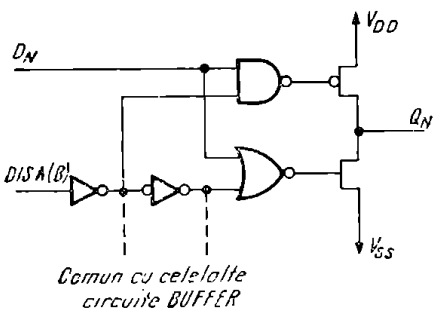
- ieșiri „3-state";
- capabilitate de comandă pentru 1 sarcină TTL;
- timp de propagare: 25 ns (tipic) pentru V_{DD}=10 V.



Caracteristica tipică timp de propagare — capacitate de sarcină.



Caracteristica tipică fronturi la ieșire — capacitate de sarcină.

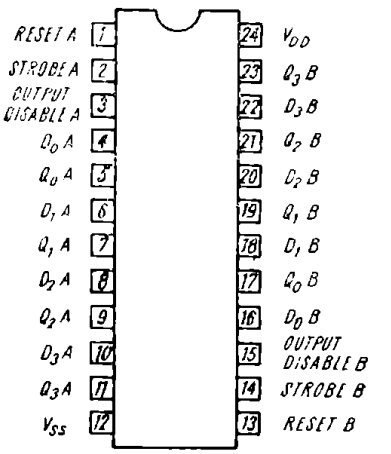


Schema logică a unui buffer și tabela de adevăr.

D_N	DISA(B)	Q_N
0	0	0
1	0	1
X	1	impedanță mare

X = indiferent

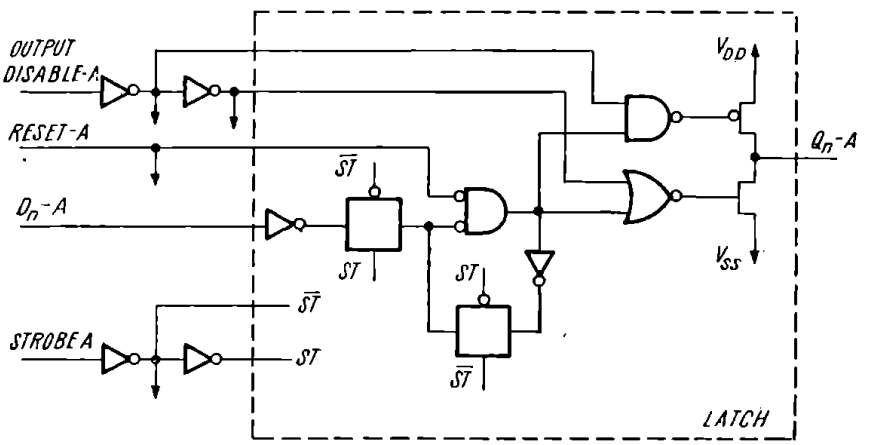
Circuitul integrat MMC 4508 conține două latch-uri de 4 biți identice, cu intrări separate de control *STROBE*, *RESET* și *OUTPUT DISABLE*. Cu intrarea *STROBE* în **1** logic, datele de pe intrările *D* apar la ieșirile *Q* corespunzătoare, dacă *OUTPUT DISABLE* este în **0** logic. Schimbînd *STROBE* în **0** logic, datele vor fi menținute în latch. Un **1** logic pe *RESET* aduce ieșirile în **0** logic, ținînd seama de starea intrării *STROBE*. Ieșirile sînt forțate în starea de impedanță ridicată (pentru aplicații cu magistrale) prin **1** logic pe intrarea *OUTPUT DISABLE*.



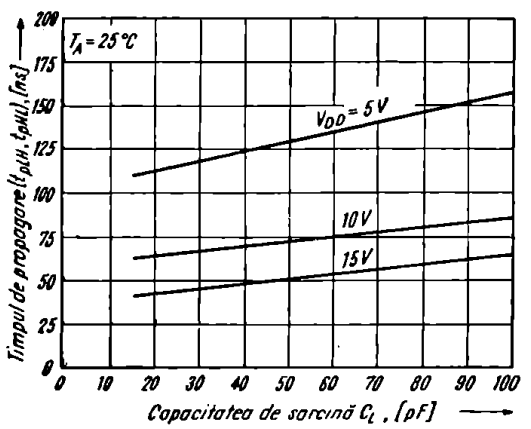
Semnificația terminalelor.

Performanțe

- 2 latch-uri de 4 biți independente;
- ieșiri „3-state";
- timp de propagare: 70 ns (tipic) pentru C_L = = 50 pF și V_{DD} = 10 V.



Schema logică corespunzătoare unui latch (1 bit).

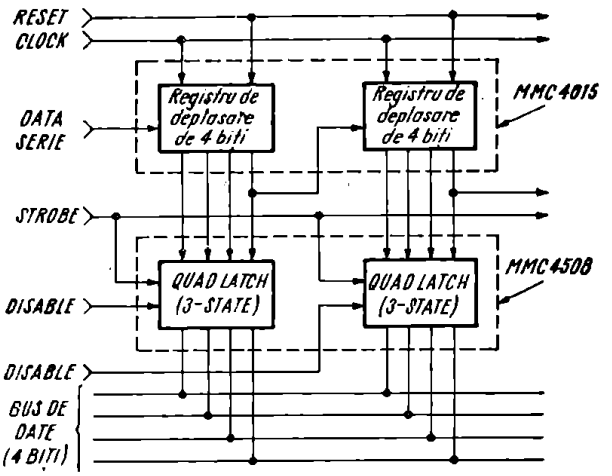


Caracteristica tipică timp de propagare — capacitate de sarcină.

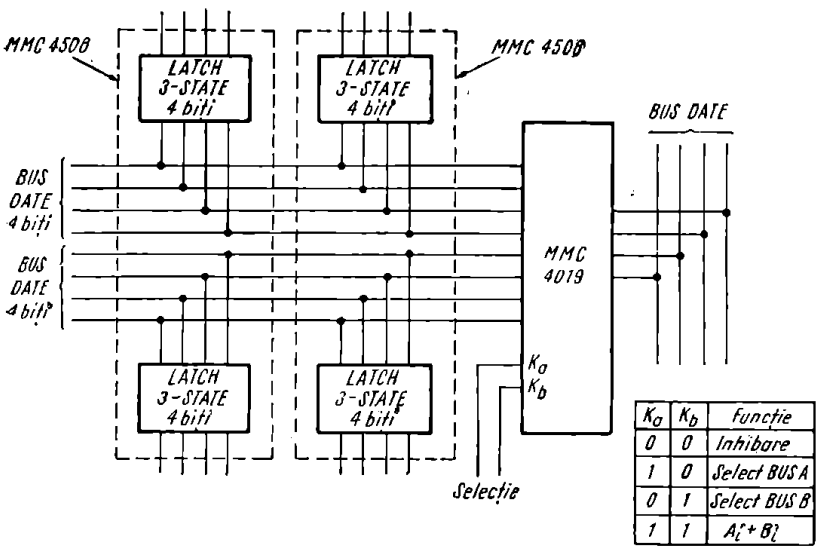
Reset	Disable	Strobe	D	Q
0	0	1	1	1
0	0	1	0	0
0	0	0	X	Latch
1	0	0	X	0
X	1	X	X	Z

X = Indiferent
Z = Stare de impedanță ridicată

Tabela de adevăr a circuitului.



Schema unui registru cuplat pe bus.



Ka	Kb	Funcție
0	0	Inhibare
1	0	Select BUS A
0	1	Select BUS B
1	1	$A_i^* + B_i$

Schema a două bus-uri multiplexate.

Circuitul integrat MMC 4510 este un numărător BCD sincron reversibil și presetabil, care conține 4 bistabile sincrone de tip *D* (cu o structură logică care permite și operare de bistabil de tip *T*), conectate ca un numărător (v. § 1.8).

Conținutul numărătorului poate fi șters printr-un nivel **1** logic la intrarea *RESET* și poate fi presetat în orice număr binar prezent pe intrările tip *JAM* P_1, P_2, P_3, P_4 printr-un nivel **1** logic pe intrarea *PRESET ENABLE*. Circuitul MMC 4510 va număra, pornind din stări de numărare nor-BCD, maximum 2 impulsuri de tact în modul înainte și maximum 4 impulsuri de tact în modul înapoi.

Dacă se ține intrarea *CARRY IN* în **0** logic, numărătorul numără (înainte sau înapoi, după cum intrarea *UP/DOWN* este **1**, respectiv **0** logic), la fiecare tranziție pozitivă a semnalului de tact.

Se poate realiza o cascadare sincronă legînd toate intrările de tact (*CLOCK*) în paralel și ieșirea *CARRY OUT* a numărătorului la intrarea *CARRY IN* a numărătorului următor.

Cascadarea circuitului în configurație cu acționare succesivă a tactului (*ripple mode*) se face prin conectarea *CARRY OUT* la intrarea *CLOCK* a numărătorului următor. Dacă se modifică intrarea *UP/DOWN* cînd numărătorul a ajuns la numărul maxim, ieșirea *CARRY OUT* trebuie sincronizată cu tactul, iar intrarea *UP/DOWN* trebuie modificată cînd tactul este în **1** logic. Această metodă asigură pentru etajele următoare de numărare un semnal de tact curat.

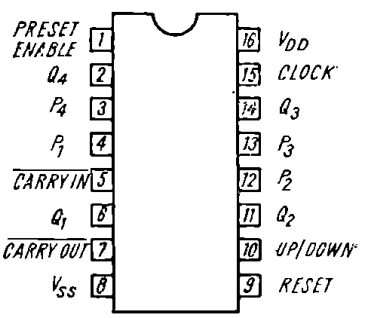
Performanțe

- viteză medie de lucru : 8 MHz (tipic) pentru $V_{DD} = 10$ V ;
- propagare internă sincronă a transportului ;
- capabilitate de *RESET* și *PRESET*.

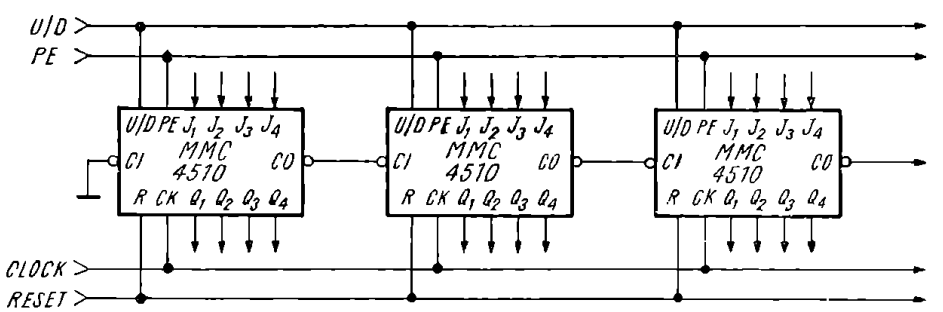
CK	$\overline{CI}$	U/D	PE	R	Acțiune
X	1	X	0	0	Nu numără
↓	0	1	0	0	Numără înainte
↓	0	0	0	0	Numără înapoi
X	X	X	1	0	Presetare
X	X	X	X	1	Resetare

X - Indiferent

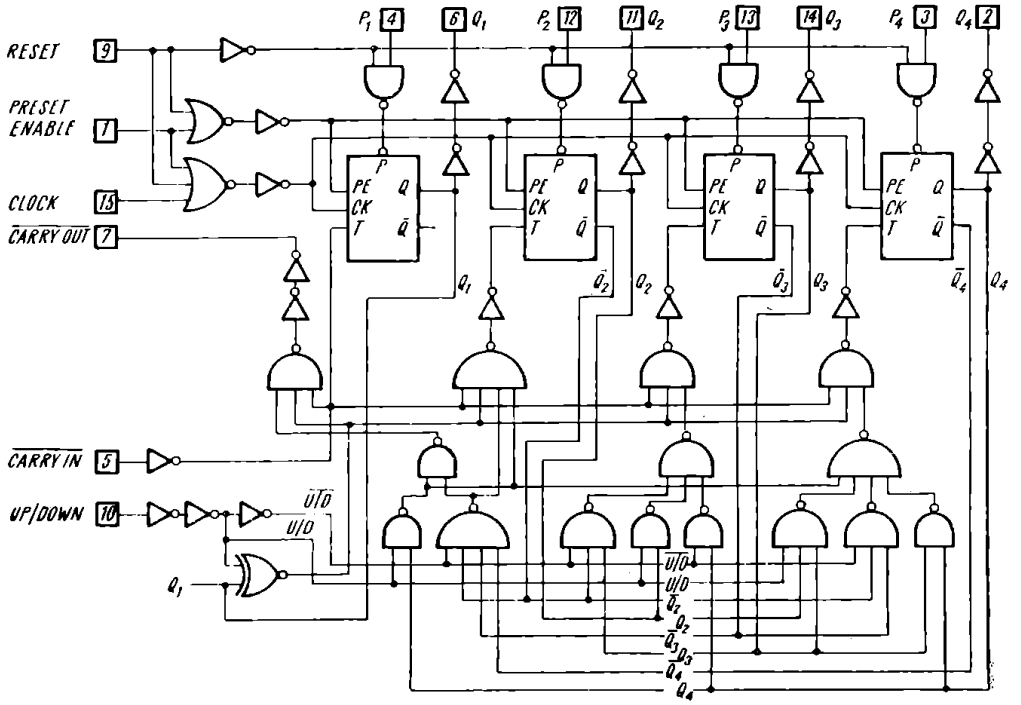
Tabela de adevăr.



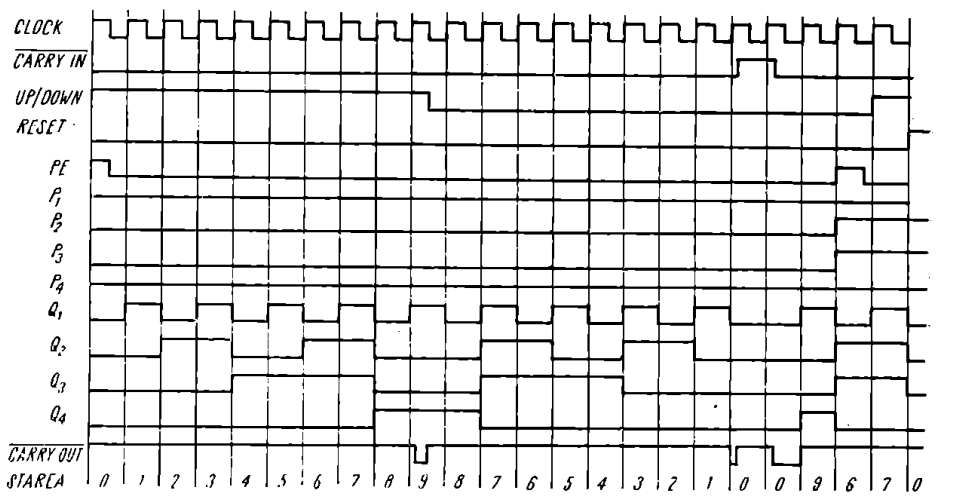
Semnificația terminalelor.



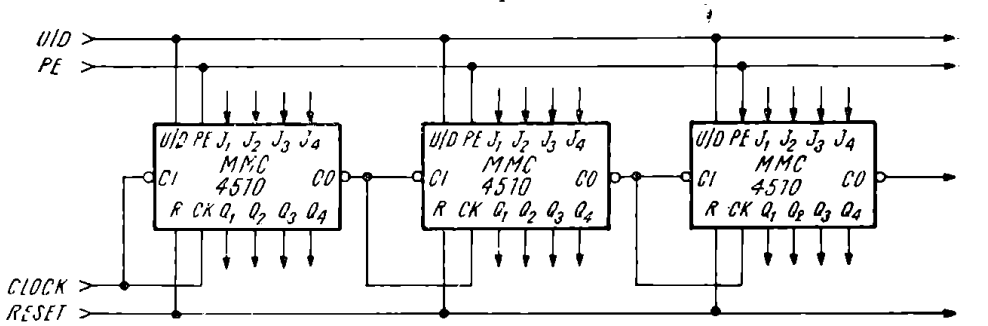
Cascadarea paralelă a numărătorului.



Schema logică a circuitului.



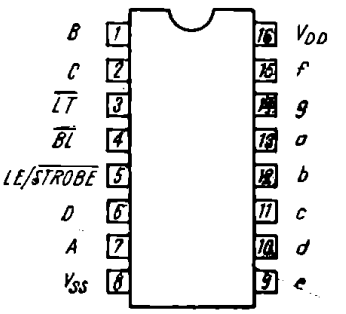
Formele de undă pentru circuit.



Cascadarea numărătorului cu transport succesiv.

Circuitul integrat MMC 4511 este un latch/decodor/driver BCD — 7 segmente construit cu logică CMOS și dispozitive de ieșire tranzistoare bipolare npn, într-o singură structură monolitică. Acest circuit combină avantajele dispozitivelor CMOS (putere statică disipată mică și imunitate la zgomot ridicată) cu cele ale tranzistoarelor bipolare npn de ieșire, capabile să furnizeze un curent de pînă la 25 mA. Această particularitate permite circuitului MMC 4511 să comande direct afișaje cu LED-uri cu catod comun sau de alte tipuri.

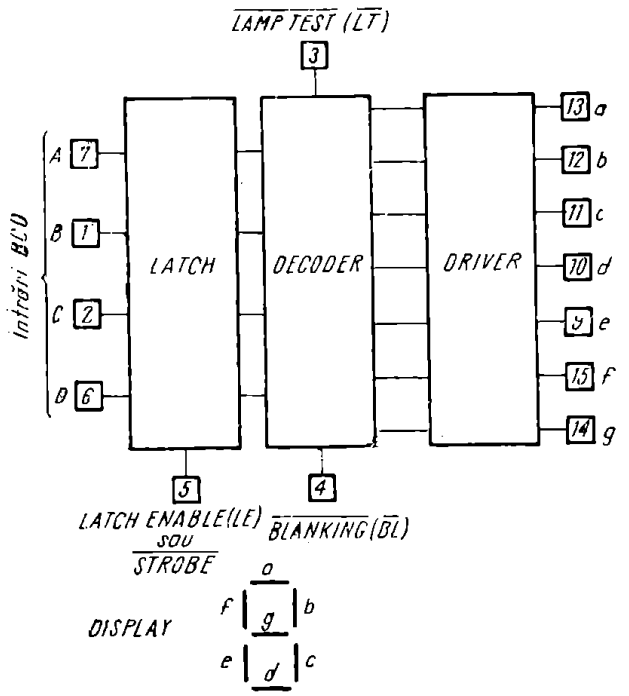
Intrările de testate afișaj (*LT*), blanking (*BL*) și validare latch/strobare (*LE*/$\overline{STROBE}$) sînt folosite pentru a testa afișajul, pentru a-l stinge sau pentru a modula intensitatea lui și, respectiv, pentru a memora sau stroba un cod BCD. Dacă se utilizează circuite externe de multiplexare, pot fi multiplexate și afișate mai multe semnale diferite.



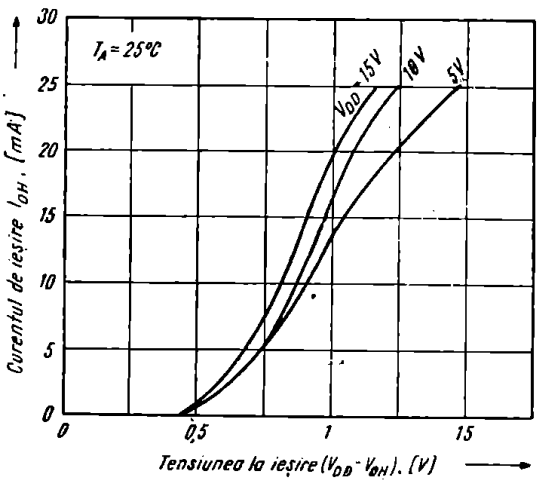
Semnificația terminalelor.

Performanțe

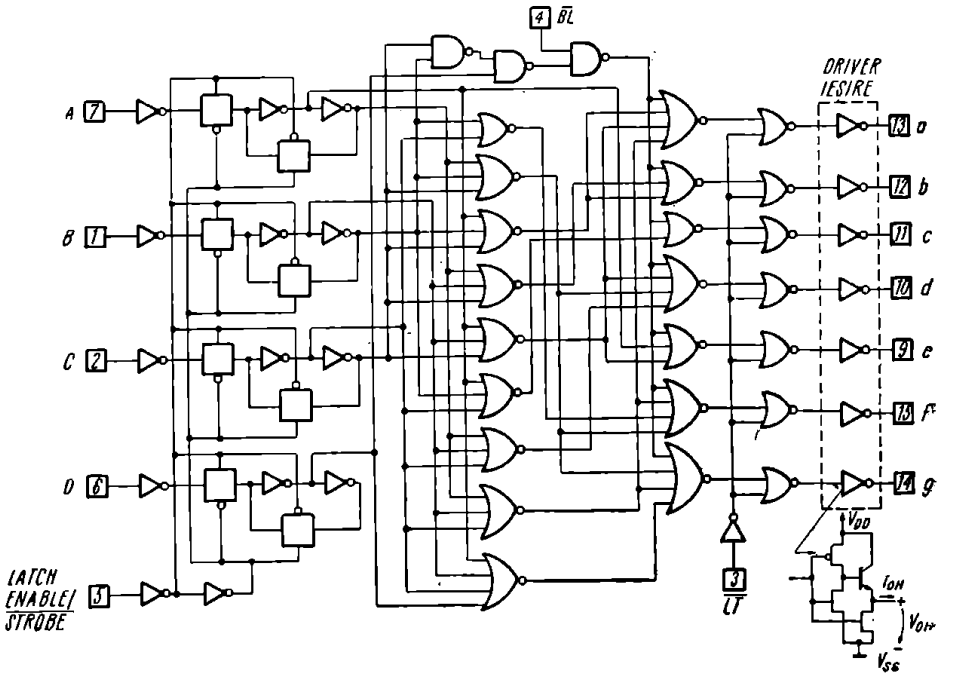
- capabilitate mare de curent la ieșire: pînă la 25 mA;
- latch-uri de intrare pentru memorarea codurilor BCD;
- capabilitate de testate afișaj și stingere;
- timp de propagare: 210 ns (tipic) pentru $V_{DD} = 10$ V.



Schema bloc a circuitului.



Caracteristica tipică curent de ieșire în starea 1 logic — nivelul tensiunii la ieșire.

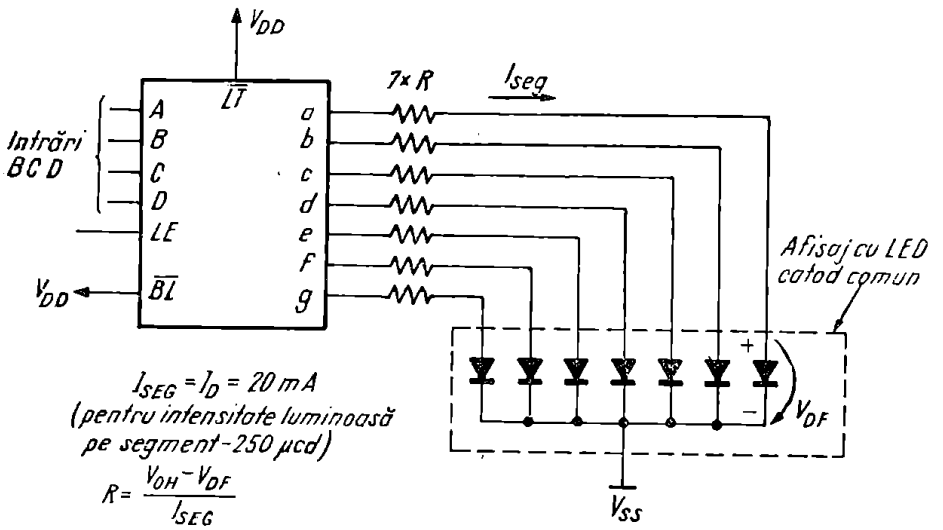


Schema logică a circuitului.

LE	$\overline{BL}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	Blanc
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	Blanc
0	1	1	1	0	1	1	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	0	0	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	0	1	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	1	0	0	0	0	0	0	0	0	Blanc
0	1	1	1	1	1	1	0	0	0	0	0	0	0	Blanc
1	1	1	X	X	X	X	*							

X = Indiferent * = Depinde de ultimul cod BCD aplicat cînd LE=0

Tabela de adevăr.



Conectarea circuitului la un afișaj cu LED-uri, catod comun.

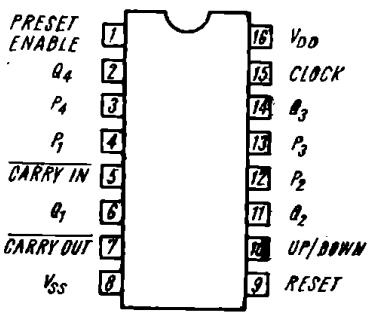
Circuitul integrat MMC 4516 este un numărător binar sincron reversibil şi presetabil care conţine 4 bistabile sincrone de tip *D* (cu o structură logică care permite şi operare de bistabil tip *T*), conectate ca un numărător (v. § 1.8).

Conţinutul numărătorului poate fi şters printr-un nivel **1** logic la intrarea *RESET* şi poate fi presetat în orice număr binar prezent pe intrările tip *JAM* P_1, P_2, P_3, P_4, printr-un nivel **1** logic pe intrarea *PRESET ENABLE*.

Dacă se ţine intrarea *CARRY IN* în **0** logic, numărătorul numără (înainte sau înapoi, după cum intrarea *UP/DOWN* este **1**, respectiv **0** logic) la fiecare tranziţie pozitivă a semnalului de tact.

Se poate realiza o cascadare sincronă legînd toate intrările de tact (*CLOCK*) în paralel şi ieşirea *CARRY OUT* a numărătorului la intrarea *CARRY IN* a numărătorului următor.

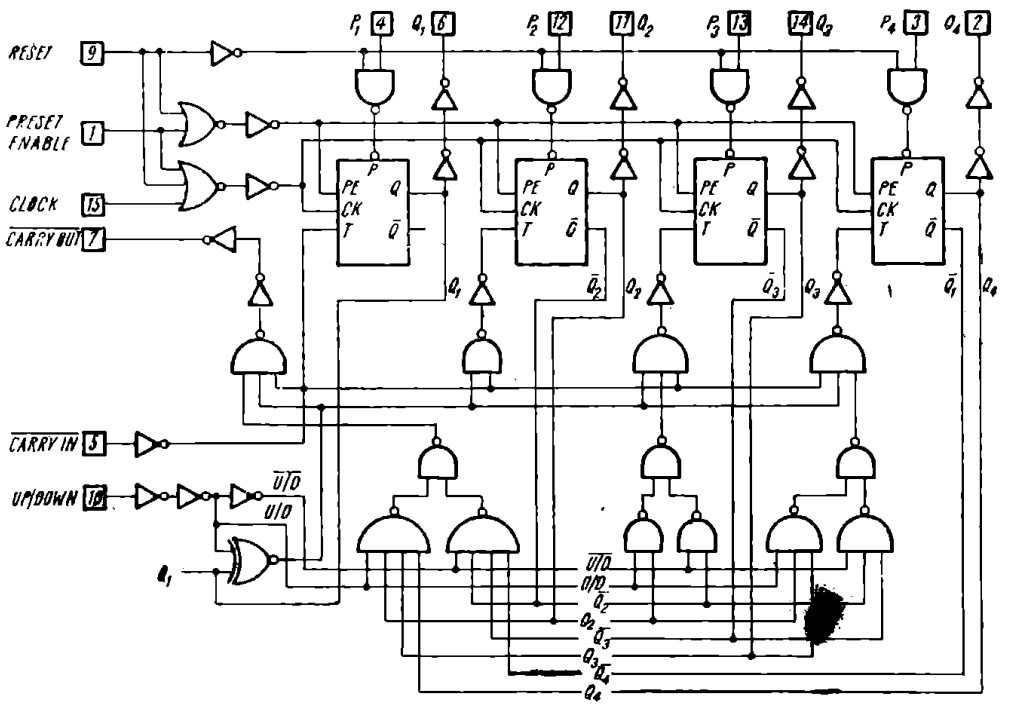
Cascadarea circuitului în configuraţie cu acţionare succesivă a tactului (*ripple mode*) se face prin conectarea *CARRY OUT* la intrarea *CLOCK* a numărătorului următor. Dacă intrarea cînd *UP/DOWN* se modifică numărătorul a ajuns la numărul maxim, ieşirea *CARRY OUT* trebuie sincronizată cu tactul, iar intrarea *UP/DOWN* trebuie modificată cînd tactul este în **1** logic. Această metodă asigură pentru etajele următoare de numărare un semnal de tact curat.



Semnificaţia terminalelor.

Performanţe

- viteză medie de lucru : 8 MHz (tipic) pentru $V_{DD} = 10$ V ;
- propagare internă sincronă a transportului
- capabilitate de *RESET* şi *PRESET*.

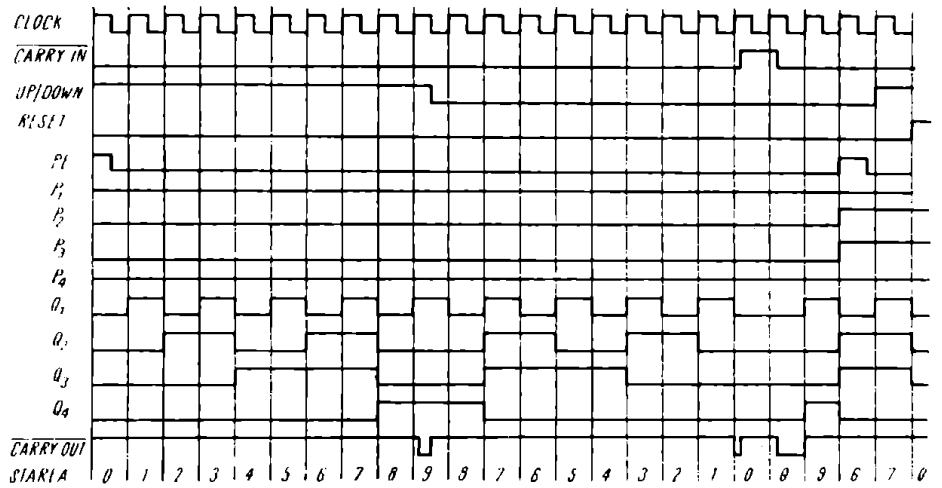


Schema logică a circuitului.

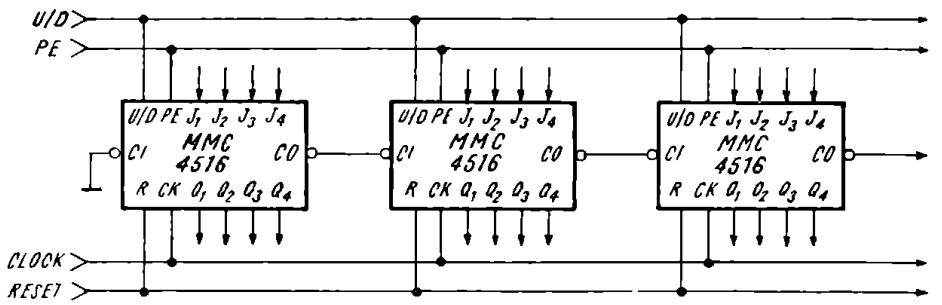
Tabela de adevăr.

CK	$\overline{CI}$	U/D	PE	R	Acțiune
X	1	X	0	0	Nu numără
↓	0	1	0	0	Numără înainte
↓	0	0	0	0	Numără înapoi
X	X	X	1	0	Presetare
X	X	X	X	1	Resetare

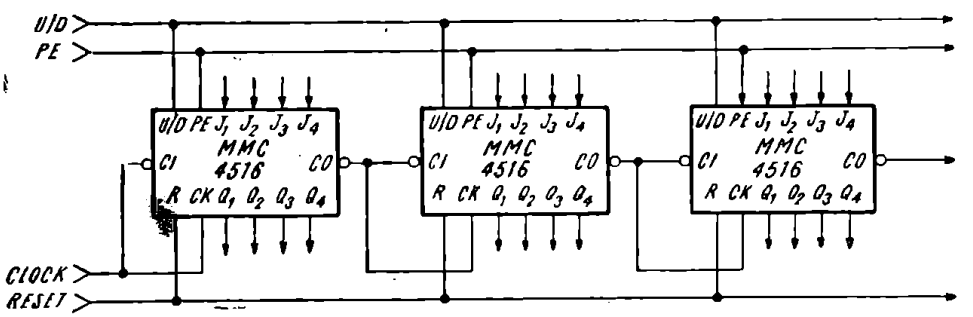
X - Indiferent



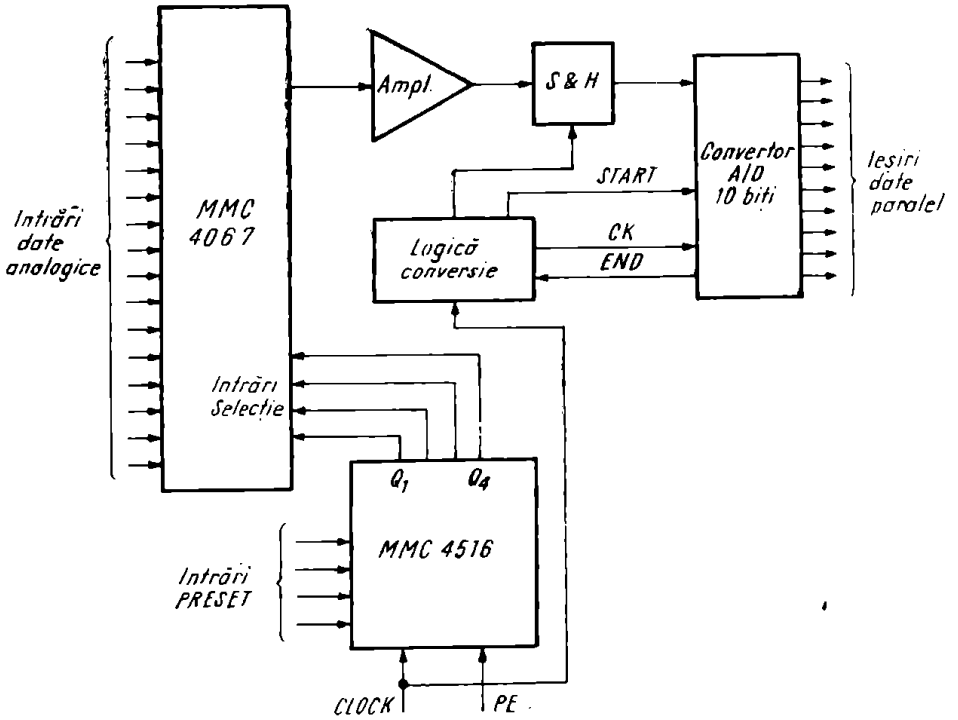
Formele de undă pentru circuit.



Cascadarea paralelă a numărătorului.



Cascadarea numărătorului cu transport succesiv.

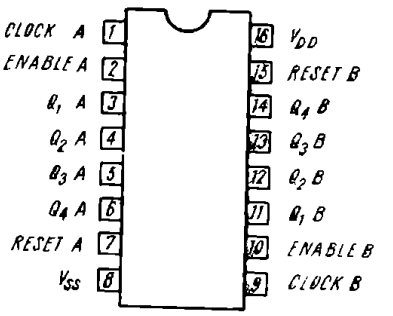


Schema unui sistem de achiziție de date de 10 biți.

Circuitul integrat MMC 4518 conține două numărătoare BCD sincrone, fiecare fiind construit din 4 bistabili de tip *D*, sincronizați intern (v. § 1.6.2).

Numărătorul are intrări de tact (*CLOCK*) și validare (*ENABLE*) care permit incrementarea conținutului fie pe tranziția pozitivă, fie pe tranziția negativă a semnalului. Cînd folosim o singură capsulă, intrarea *ENABLE* este menținută în **1** logic și numărătorul avansează la fiecare tranziție pozitivă a semnalului de tact. Conținutul numărătorului este șters printr-un nivel **1** logic pe intrarea *RESET*.

Numărătorul poate fi cascadat cu acționarea succesivă a tactului (*ripple mode*) conectînd ieșirea Q_4 la intrarea *ENABLE* a numărătorului următor, în timp ce intrarea *CLOCK* a celui anterior este în **0** logic.

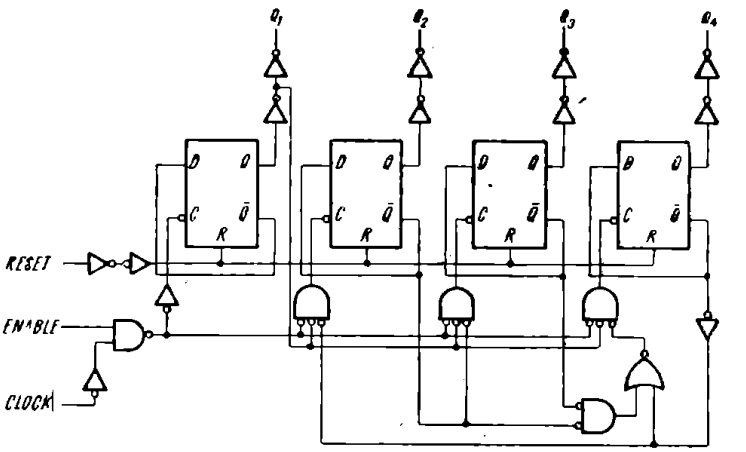


Semnificația terminalelor.

Performanțe

- viteză medie de lucru : 6 MHz (tipic) pentru $V_{DD} = 10$ V ;
- triggerare pe front negativ sau pozitiv ;
- propagare internă sincronă a transportului.

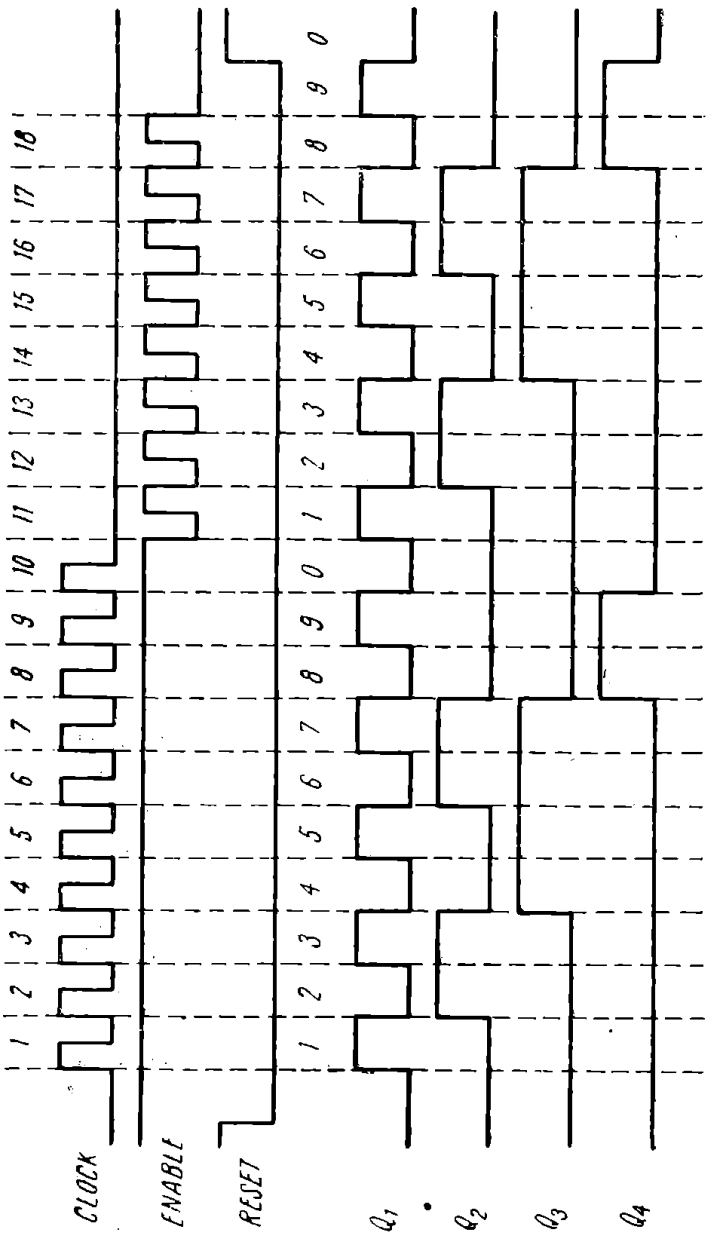
Schema logică a unui numărător.



CLOCK	ENABLE	RESET	Acțiune
⌐↓	1	0	Numără
0	↓	0	Numără
↓	X	0	Nici o schimbare
X	⌐↓	0	Nici o schimbare
⌐↓	0	0	Nici o schimbare
1	↓	0	Nici o schimbare
X	X	1	$Q_1 .. Q_4 = 0$

Tabela de adevăr.

X - *Indiferent*
1 - *Nivel de tensiune sus*
0 - *Nivel de tensiune jos*



Formele de undă pentru o secvență de numărare.

Circuitul integrat MMC 4520 conține două numărătoare binare, sincrone, fiecare fiind construit din patru bistabili de tip *D*, sincronizați intern (v. § 1.6.2).

Numărătorul are intrări de tact (*CLOCK*) și validare (*ENABLE*) care permit incrementarea conținutului, fie pe tranziția pozitivă fie pe tranziția negativă a semnalului. Cînd folosim o singură capsulă, intrarea *ENABLE* este menținută în **1** logic și numărătorul avansează la fiecare tranziție pozitivă a semnalului de tact. Conținutul numărătorului este șters printr-un nivel **1** logic pe intrarea *RESET*.

Numărătorul poate fi cascadat cu acționarea succesivă a tactului (*ripple mode*) conectînd ieșirea Q_4 la intrarea *ENABLE* a numărătorului următor, în timp ce intrarea *CLOCK* a celui anterior este în **0** logic.

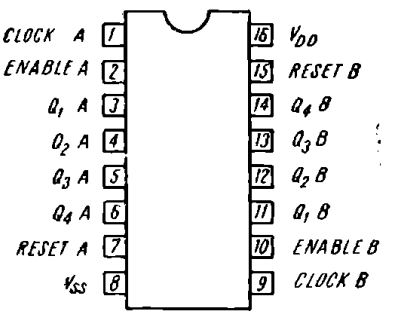
Performanțe

- viteză medie de lucru : 6 MHz (tipic) pentru $V_{DD} = 10$ V ;
- triggerare pe front negativ sau pozitiv ;
- propagare internă sincronă a transportului.

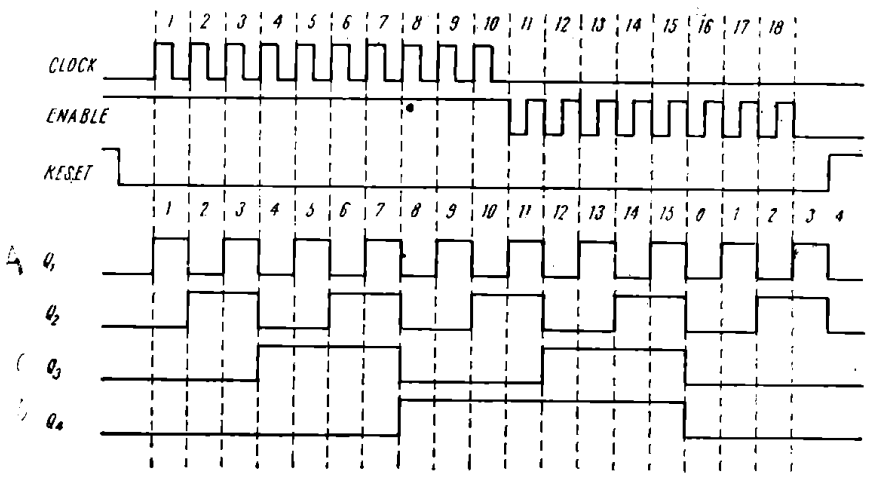
CLOCK	ENABLE	RESET	Acțiune
↑	1	0	Numără
0	↓	0	Numără
↓	X	0	Nici o schimbare
X	↑	0	Nici o schimbare
↑	0	0	Nici o schimbare
1	↓	0	Nici o schimbare
X	X	1	$Q_1 \ldots Q_4 = 0$

X - Indiferent
1 - Nivel de tensiune sus
0 - Nivel de tensiune jos

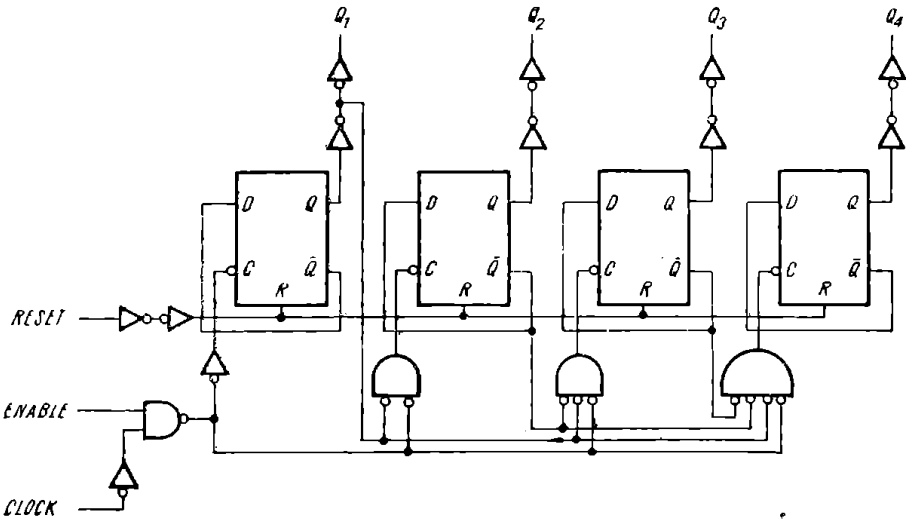
Tabela de adevăr.



Semnificația terminalelor.



Formele de undă pentru o secvență de numărare.



Schema logică a unui numărător.

Circuitul integrat MMC 4543 este un latch/decodor/driver BCD — 7 segmente, proiectat pentru a fi utilizat la comanda afișajelor cu cristale lichide (*LCD*). Circuitul conține 4 latch-uri de stocare a datelor, un decodor din cod BCD în 7 segmente și driver-e de ieșire.

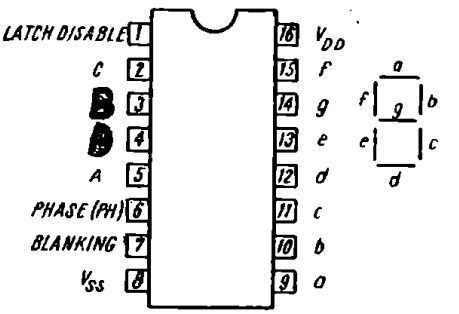
Circuitul are posibilitatea de a complementa nivele logice de pe ieșiri. Intrările *PHASE* (*Ph*), *BLANKING* (*BL*) și invalidare latch (*LD*) sînt folosite pentru a inversa tabela de adevăr a circuitului, pentru a stinge display-ul și, respectiv, pentru a memora un cod BCD.

Pentru afișajele cu cristale lichide trebuie aplicat un semnal dreptunghiular comun pe intrarea *Ph* și pe electrodul comun al afișajului. Ieșirile circuitului se conectează direct la segmentele afișajului.

Pentru alte tipuri de afișaje sînt specificate în continuare diagramele de conexiuni.

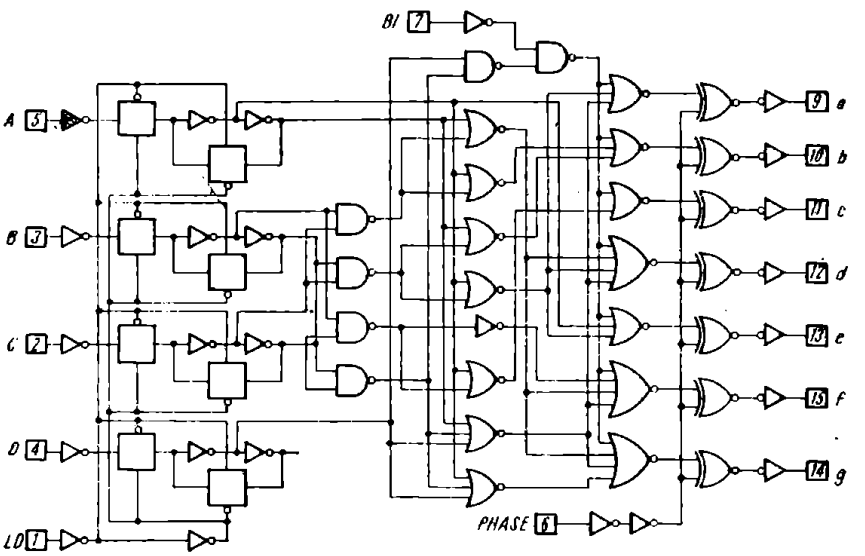
Performanțe

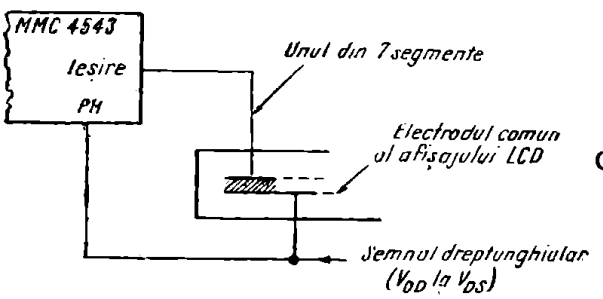
- intrare de fază pentru afișaje cu cristale lichide ;
- memorare a codului de intrare ;
- intrarea blanking pentru modularea intensității afișajului ;
- timp de propagare : 210 ns (tipic) pentru $V_{DD} = 10$ V.



Semnificația terminalelor.

Schema logică a decodorului.



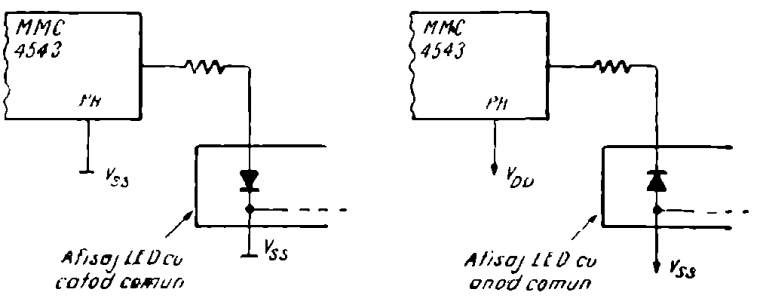


Conectarea circuitului la un afișaj LCD.

Intrări							Ieşiri							
LD	BI	PH*	D	C	B	A	a	b	c	d	e	f	g	Afişaj
X	1	0	X	X	X	X	0	0	0	0	0	0	0	Blanc
1	0	0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	0	0	1	1	1	1	1	1	0	0	1	3
1	0	0	0	1	0	0	0	1	1	0	0	1	1	4
1	0	0	0	1	0	1	1	0	1	1	0	1	1	5
1	0	0	0	1	1	0	1	0	1	1	1	1	1	6
1	0	0	0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	0	0	1	1	1	1	1	0	1	1	9
1	0	0	1	0	1	0	0	0	0	0	0	0	0	Blanc
1	0	0	1	0	1	1	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	0	0	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	0	1	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	1	0	0	0	0	0	0	0	0	Blanc
1	0	0	1	1	1	1	0	0	0	0	0	0	0	Blanc
0	0	0	X	X	X	X	XX							XX
•	•	1	•				Complementul combinaţiilor de mai sus							Afişare ca mai sus

X - Indiferent
1 - Nivel de tensiune sus
0 - Nivel de tensiune jos
* - Pentru afişoarele cu cristal lichid, se vor aplica la terminalul PH impulsuri dreptunghiulare
Pentru afişoarele cu LED catod comun PH = 0
Pentru afişoarele cu LED anod comun PH = 1
** - Afişează corespondentul ultimului cod BCD cînd LD=1
• - Combinaţiile de mai sus

Tabela de adevăr a decodorului.



NOTĂ: Pentru cifrul superior se adaugă tranzistoare bipolare (pentru $V_{DD} \leq 10V$ sau $I_{out} \geq 10mA$)

Conectarea circuitului la afişaje cu LED-uri, anod comun sau catod comun.

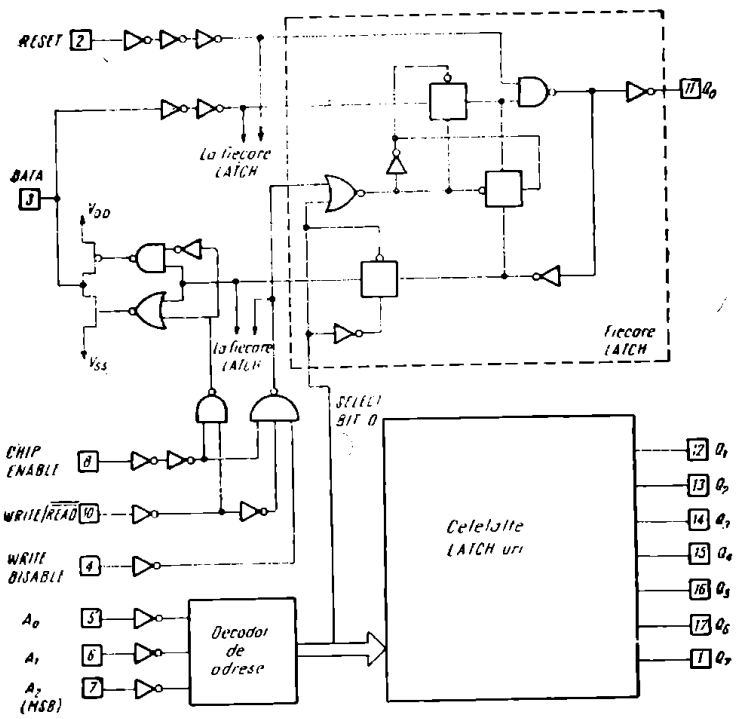
Circuitul integrat MMC 4599 este un latch adresabil de 8 biți cu facilități de conectare în sisteme cu MMC 4500.

Circuitul posedă o intrare de selectare (*CHIP ENABLE*), care permite, eventual, extinderea adresei (A_0, A_1, A_2), ieșiri cu buffer ($Q_0 \ldots Q_7$) și o intrare de *RESET* general, care aduce toți biții în **0** logic, cînd *RESET* este în **1** logic.

Circuitul are o linie de date (*DATA*) bidirecțională, care poate trece în „3-state", în funcție de starea intrărilor de control (*CHIP ENABLE*, *WRITE DISABLE*, $WRITE/\overline{READ}$). Această linie bidirecțională permite conectarea pe o magistrală (bus) comună de date de 1 bit. Astfel, datele din latch pot fi citite atît la ieșiri ($Q_0 \ldots Q_7$) cît și la terminalul *DATA*, după cum comandă intrările de control. Intrarea *CE* este activă în **1** logic. Înscrierea datelor prin intrarea *DATA* se realizează cînd $W/\bar{R}$ este în **1** logic și WD în **0** logic. $W/\bar{R}$ în **0** logic permite doar citirea conținutului latch-ului (la ieșirile Q și *DATA*). Aducerea liniei *DATA* în starea de impedanță ridicată se realizează prin $WD = 1$ logic și $W/\bar{R} = 1$ logic.

Performanțe

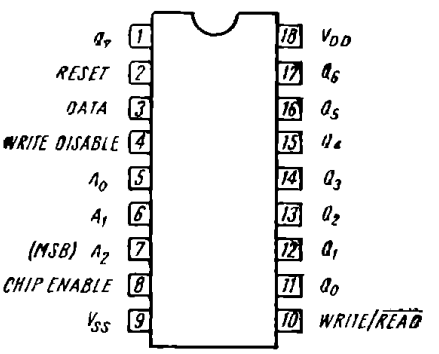
- ieșiri paralel cu buffer;
- linie intrare/ ieșire bidirecțională „3-state";
- intrări control *CHIP ENABLE*, $WRITE/\overline{READ}$, *WRITE DISABLE*;
- timp de propagare: 75 ns (tipic) pentru $V_{DD} = 10$ V.



CHIP ENABLE	W/R̄	WD	RESET	LATCH adresat	Celelalte LATCH uri	Terminalul DATA
0	X	X	0	*	*	Z
1	1	0	0	DATA	*	Intrare
1	1	1	0	*	*	Z
1	0	X	0	*	*	Q_n
X	X	X	1	0	0	Z/0

X = Indiferent
* = Nici o schimbare
Z = Stare de impedanță ridicată
Q_n = Starea latch-ului adresat

Schema logică și tabela de adevăr a circuitului.



Semnificația terminalelor.

REGISTRU UNIVERSAL BIDIRECȚIONAL DE 4 BITI MMC 40104

Circuitul integrat MMC 40104 este un registru universal avînd intrări paralel, ieșiri paralel, intrări serie *SHIFP LEFT IN* și *SHIFT RIGHT IN* și o intrare de validare ieșire (*OUTPUT ENABLE*), care asigură ieșiri „3-state" în scopul utilizării dispozitivului în sistemele organizate pe magistrală.

În modul de încărcare paralel, datele sînt încărcate în bistabilele asociate și apar la ieșiri după tranziția pozitivă a semnalului de tact. Pe durata încărcării, intrările serie de date sînt inhibate. Deplasarea dreapta și deplasarea stînga are loc sincron cu frontul pozitiv al semnalului de tact (aplicat la intrarea *CLOCK*), date serie fiind introduse pe intrările *SHIFT RIGHT IN* și, respectiv, *SHIFT LEFT IN*.

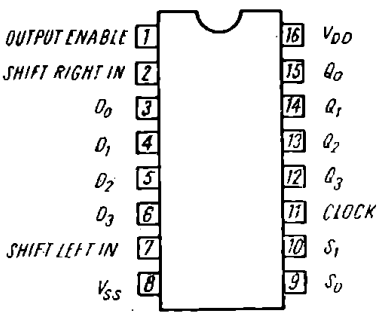
Ștergerea registrului este făcută prin punerea în **0** logic a ambelor intrări de control al modului de lucru (*SELECT* 1 și *SELECT* 2) și, aplicînd semnalul de tact. Intrările de control ale modului de lucru se pot modifica doar pe nivelul de **0** logic al semnalului de tact.

Cînd intrarea de *OUTPUT ENABLE* este în **0** logic, toate ieșirile trec în starea de impedanță ridicată.

Performanțe

- viteză medie de operare: 9 MHz (tipic) pentru $V_{DD} = 10$ V;
- operare sincronă paralel sau serial;
- ieșiri „3-state";
- operare statică.

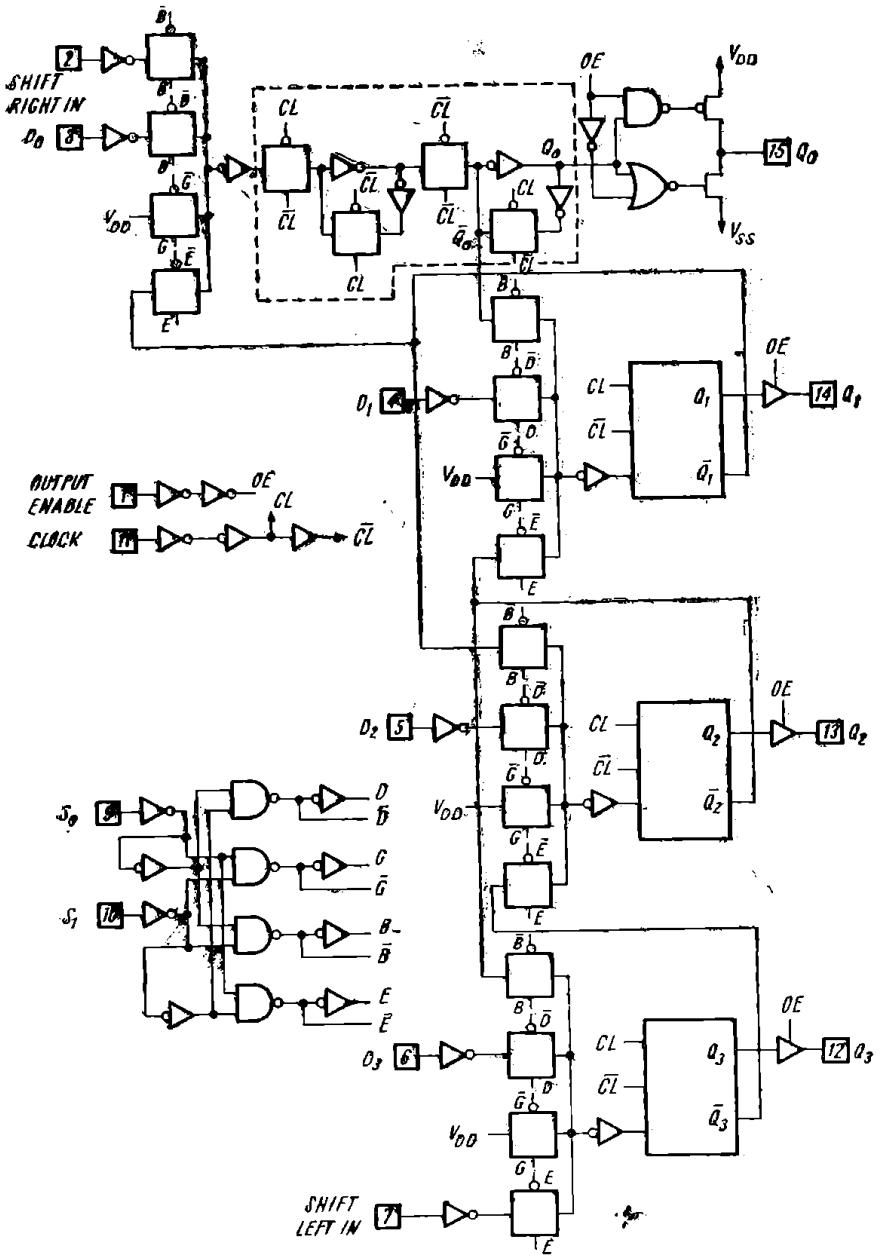
Semnificația terminalelor.



CLOCK	Selecția modului de lucru		OUTPUT ENABLE	Acțiune
	S_0	S_1		
⎍	0	0	1	RESET
⎍	1	0	1	Deplasare dreapta de la Q_0 la Q_3
⎍	0	1	1	Deplasare stînga de la Q_3 la Q_0
⎍	1	1	1	Încărcare paralel
X	X	X	0	Operările sînt ca mai sus, dar ieșirile au starea de impedanță mare

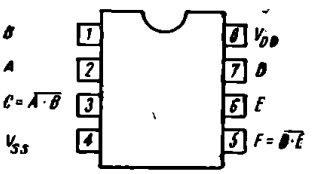
X = Indiferent

Tabela de adevăr.



Schema logică a circuitului.

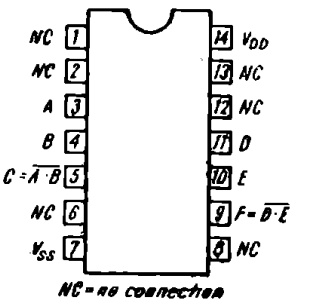
Circuitul integrat MMC 40107 conţine două etaje buffer SI-NU (NAND) cu 2 intrări fiecare şi tranzistoare MOS cu canal *n* cu drenă în gol (*open-drain*) la ieşire. Cu acest dispozitiv se poate realiza funcţia SAU-cablat (*wired-OR*) şi se pot absorbi curenţi mari prin ieşire (136 mA tipic pentru $V_{DD} = 10$ V şi $V_{DS} = 1$ V).



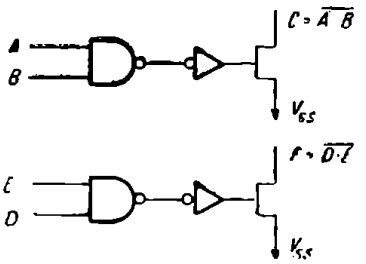
Semnificaţia terminalelor.

Performanţe

- capabilitate de curent de 32 ori mai mare decît a circuitelor CMOS din seria 4000: 136 mA (tipic) pentru $V_{DD} = 10$ V şi $V_{DS} = 1$ V;
- timp de propagare: 60 ns (tipic) pentru $V_{DD} = 10$ V şi $R_L = 120\ \Omega$.



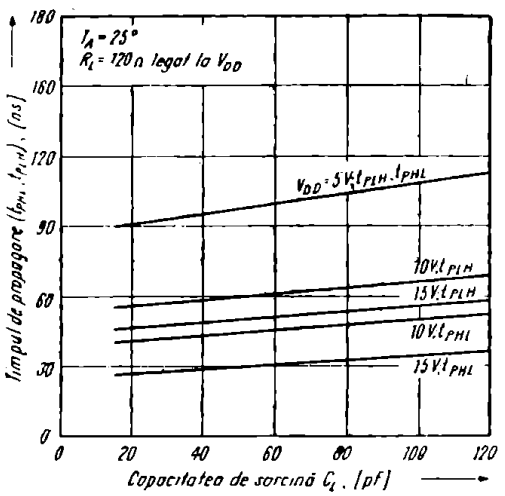
Semnificaţia terminalelor.



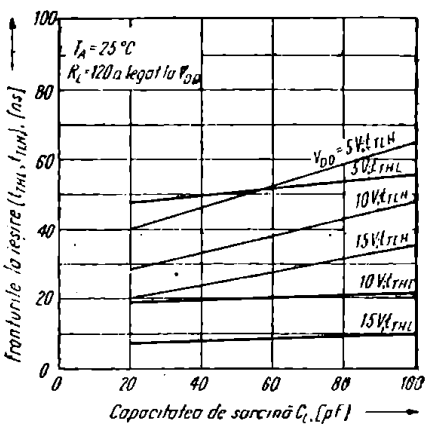
A	B	C	
0	0	1*	Z•
1	0	1*	Z•
0	1	1*	Z•
1	1	0	

* Cu rezistor extern legat la V_{DD}
• Fără rezistenţă externă (de sarcină)

Schema logică şi tabela de adevăr pentru circuit.



Caracteristica tipică timp de propagare-capacitate de sarcină.



Caracteristica tipică fronturi la ieşire-capacitate de sarcină.

MMC 40181 UNITATE LOGICĂ ARITMETICĂ DE 4 BITI

Circuitul integrat MMC 40181 este o unitate logică aritmetică (*ALU*) paralelă de 4 biți, capabilă să efectueze 16 operații aritmetice binare între 2 cuvinte de 4 biți și 16 funcții logice între două variabile booleene. Intrarea de control a modului de lucru M selectează operațiile logice ($M = 1$ logic) și aritmetice ($M = 0$ logic). Cele 4 intrări de selecție (S_0, S_1, S_2 și S_3) selectează funcțiile logice sau aritmetice dorite, care includ SI (AND), SAU (OR), SI-NU (NAND), SAU-NU (NOR), SAU EXCLUSIV (XOR) și SAU-NU EXCLUSIV (XNOR) în modul logic și sumă diferență, decrementare, deplasare stînga și transfer direct în modul aritmetic, corespunzător cu tabela de adevăr a circuitului. Operarea circuitului MMC 40181 poate fi interpretată cu datele de pe intrările de operanzi A și B și ieșirile funcțiilor F, fie active pe **1** logic, fie active pe **0** logic, prin utilizarea tabelei de adevăr corespunzătoare.

Circuitul MMC 40181 conține logica necesară pentru operare cu transport anticipat (*look-ahead-carry*), pentru generare rapidă a transportului folosind ieșirile de generare de transport G și propagare transport P pentru cei 4 biți ai lui MMC 40181. Există o ieșire de transport succesiv C_{n+4} pentru utilizare în sisteme în care viteza nu este importantă.

În circuitul MMC 40181 este inclusă și o ieșire de comparator $A = B$, care ia valoarea **1** logic cînd cele 2 cuvinte de 4 biți de la intrare sînt egale și circuitul este în modul de lucru scădere (diferență) între cele 2 numere. În plus, informația relativă de mărime se poate obține din intrarea de transport C_n și ieșirea de transport succesiv C_{n+4}, punînd circuitul să efectueze scăderea și folosind o decodare externă, conform tabelului corespunzător, prezentat în continuare.

Circuitul MMC 40181 este similar cu tipul de circuit 74181 din seria TTL.

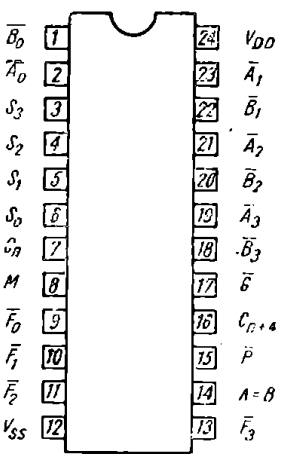
Performanțe.

- generează 16 funcții logice pentru 2 variabile booleene;
- generează 16 operații aritmetice pentru 2 cuvinte de 4 biți;
- ieșire de comparator $A = B$;
- timp necesar pentru adunare: 200 ns (tipic) pentru $V_{DD} = 10$ V;
- transport anticipat pentru operare de viteză asupra cuvintelor lungi.

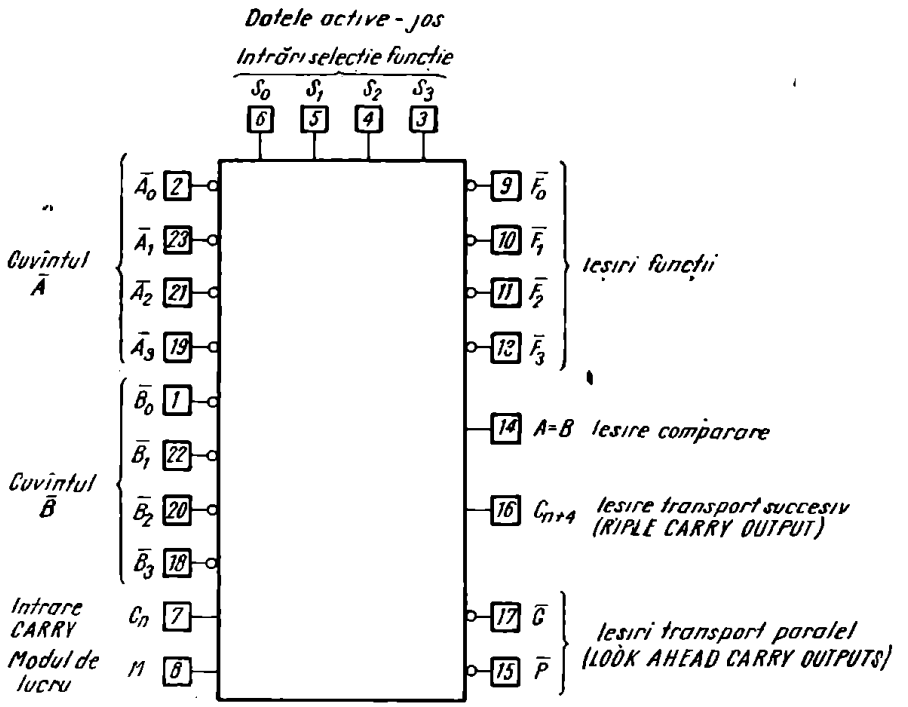
Compararea cuvintelor

Datele active sus			*Datele active jos*		
Intrare C_n	*Ieșire* C_{n+4}	*Comparare*	*Intrare* C_n	*Ieșire* C_{n+4}	*Comparare*
1	1	$A \leq B$	0	0	$A \leq B$
0	1	$A < B$	1	0	$A < B$
1	0	$A > B$	0	1	$A > B$
0	0	$A \geq B$	1	1	$A \geq B$

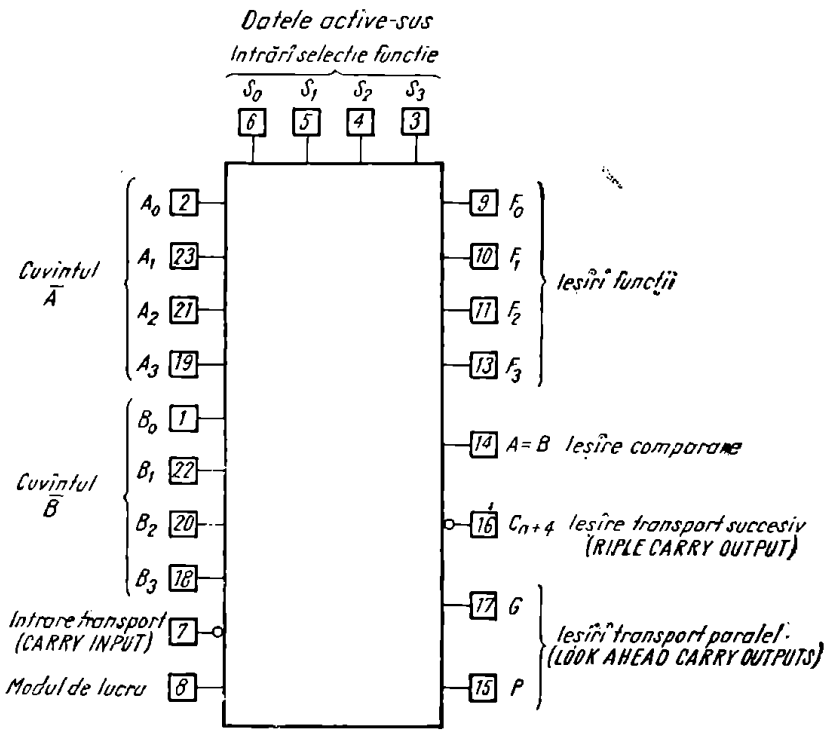
Tabel pentru compararea cuvintelor de 4 biți.



Semnificația terminalelor.



Schema funcțională (date active **JOS**).



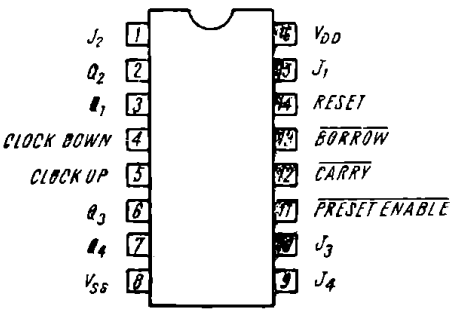
Schema funcțională (date active **SUS**).

Tabela de adevăr

Selecția funcțiilor				Intrări/ieșiri active JOS		Intrări/ieșiri active SUS	
$S3$	$S2$	$S1$	$S0$	Funcții logice (M = H)	Funcții aritmetice (M = L, C_n = L)	Funcții logice (M = H)	Funcții aritmetice (M = L, C_n = H)
0	0	0	0	$\overline{A}$	A minus 1	$\overline{A}$	A
0	0	0	1	$\overline{AB}$	AB minus 1	$\overline{A+B}$	A + B
0	0	1	0	$\overline{A}+B$	$\overline{AB}$ minus 1	$A\overline{B}$	A + $\overline{B}$
0	0	1	1	1	minus 1	0	minus 1
0	1	0	0	$\overline{A+B}$	A plus (A + $\overline{B}$)	$\overline{AB}$	A plus A$\overline{B}$
0	1	0	1	$\overline{B}$	AB plus (A + $\overline{B}$)	$\overline{B}$	(A + B) plus A$\overline{B}$
0	1	1	0	$\overline{A \oplus B}$	A minus B minus 1	A⊕B	A minus B minus 1
0	1	1	1	A + $\overline{B}$	A + $\overline{B}$	A$\overline{B}$	A$\overline{B}$ minus 1
1	0	0	0	$\overline{AB}$	A plus (A + B)	$\overline{A}+B$	A plus AB
1	0	0	1	A⊕B	A plus B	$\overline{A \oplus B}$	A plus B
1	0	1	0	B	A$\overline{B}$ plus (A + B)	B	(A + $\overline{B}$) plus AB
1	0	1	1	A + B	A + B	AB	AB minus 1
1	1	0	0	0	A plus A	1	A plus A
1	1	0	1	A$\overline{B}$	AB plus A	A + $\overline{B}$	(A + B) plus A
1	1	1	0	AB	A$\overline{B}$ plus A	A + B	(A + $\overline{B}$) plus A
1	1	1	1	A	A	A	A minus 1

1 = nivel de tensiune SUS
0 = nivel de tensiune JOS

Circuitul integrat MMC 40192 este un numărător BCD sincron reversibil și presetabil și conține 4 bistabili sincroni pe tact de tip *D*, legați în configurație de numărător (v. § 1.8).



Semnificația terminalelor.

Intrările sînt : 4 intrări paralele tip *JAM* (J_1, J_2, J_3, J_4), o intrare de control $\overline{PRESET\ ENABLE}$, intrări individuale *CLOCK UP* și *CLOCK DOWN* și un *RESET* general. Circuitul mai are 4 ieșiri *Q* cu buffer, ieșiri transport ($\overline{CARRY}$) și împrumut ($\overline{BORROW}$) pentru cascadarea numărătorului. Ștergerea numărătorului (toate ieșirile în **0** logic) se realizează printr-un **1** logic pe intrarea *RESET*, asincron față de semnalul de tact. Fiecare ieșire este programabilă asincron față de semnalul de tact, corespunzător cu nivelul logic pe intrarea *JAM* a fiecărui bistabil, cînd semnalul de control $\overline{PRESET\ ENABLE}$ este în **0** logic.

Numărătorul își incrementează conținutul (numără înainte), pe frontul pozitiv al semnalului *CLOCK UP*, cînd *CLOCK DOWN* este în **1** logic. Numărătorul își decrementează conținutul (numără înapoi) pe frontul pozitiv al semnalului *CLOCK DOWN*, cînd *CLOCK UP* este în **1** logic.

Ieșirile $\overline{CARRY}$ și $\overline{BORROW}$ sînt în **1** logic cînd numărătorul numără înainte – sau înapoi. Cînd numărătorul a atins numărul maxim numărabil în modul numărare înainte, după jumătate din perioada semnalului de tact, $\overline{CARRY}$ trece în **0** logic. Cînd numărătorul a atins numărul minim numărare în modul numărare înapoi, după jumătate din perioada semnalului de tact, $\overline{BORROW}$ trece în **0** logic.

Cascadarea mai multor numărătoare se face simplu, fără circuite externe suplimentare, prin legarea ieșirilor $\overline{BORROW}$ și $\overline{CARRY}$ la intrările *CLOCK DOWN* și, respectiv, *CLOCK UP*, corespunzătoare numărătorului următor.

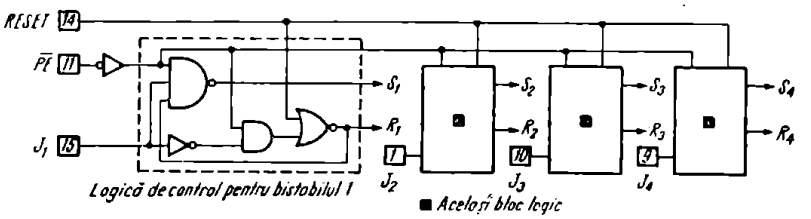
Performanțe

- intrări de tact separate pentru numărare înainte sau înapoi;
- ieșiri sincrone întîrziate de transport și împrumut pentru cascadare;
- viteză medie de operare : 8 MHz (tipic) pentru $V_{DD} = 10$ V;
- intrări asincrone de reset și presetare.

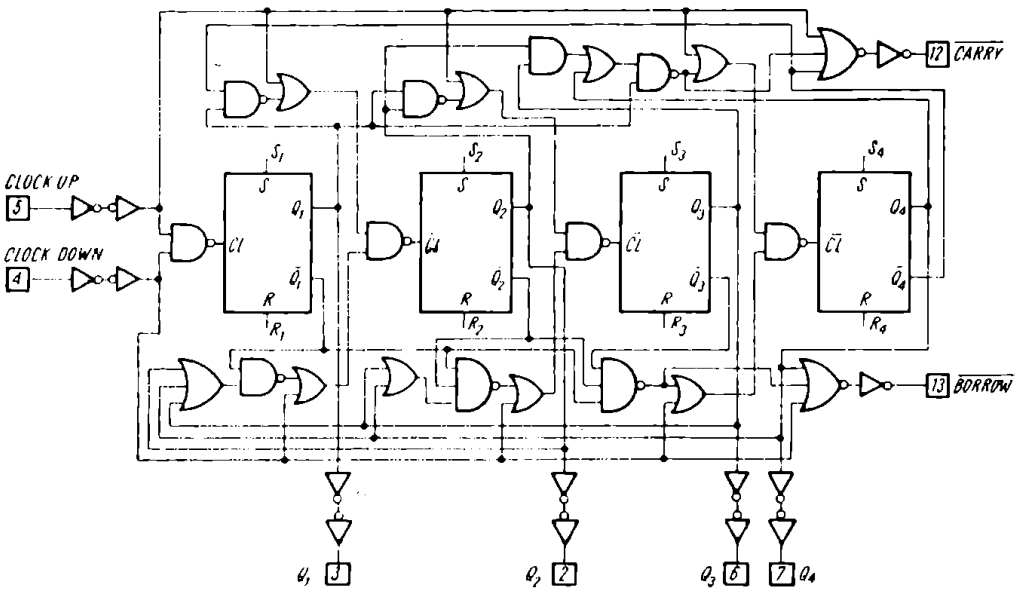
CLOCK UP	CLOCK DOWN	$\overline{PRESET\ ENABLE}$	RESET	Acțiune
⎍	1	1	0	Numără înainte
⎎	1	1	0	Nu numără
1	⎍	1	0	Numără înapoi
1	⎎	1	0	Nu numără
X	X	0	0	PRESET
X	X	X	1	RESET

Tabela de adevăr.

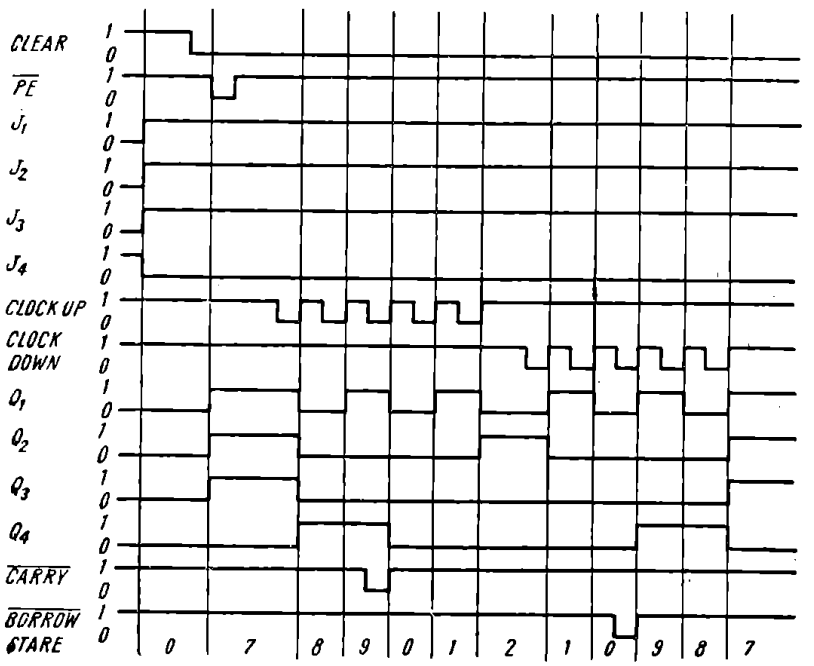
1 - Nivel de tensiune sus
0 - Nivel de tensiune jos
X - Indiferent



Schema logică a blocurilor de control.



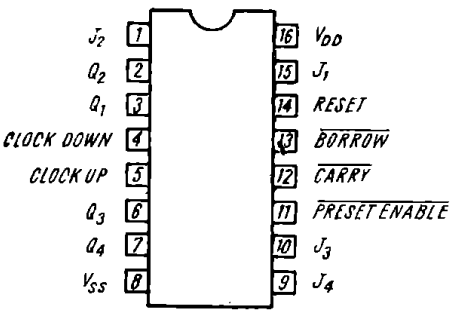
Schema logică a circuitului.



Formele de undă pentru o secvență de numărare

Circuitul integrat MMC 40193 este un numărător binar sincron reversibil și presetabil și conține 4 bistabili sincroni pe tact tip D legați în configurație de numărător (v. § 1.8).

Intrările sînt : 4 intrări paralele tip JAM (J_1, J_2, J_3, J_4), o intrare de control $\overline{PRESET\ ENABLE}$, intrări individuale $CLOCK\ UP$ și $CLOCK\ DOWN$ și un $RESET$ general. Circuitul mai are 4 ieșiri Q cu buffer, ieșiri transport ($\overline{CARRY}$) și împrumut ($\overline{BORROW}$) pentru cascadarea numărătorului. Ștergerea numărătorului (toate ieșirile în **0** logic) se realizează printr-un **1** logic pe intrarea $RESET$, asincron față de semnalul de tact. Fiecare ieșire este programabilă asincron față de semnalul de tact, corespunzător cu nivelul logic de pe intrarea JAM a fiecărui bistabil, cînd semnalul de control $\overline{PRESET\ ENABLE}$ este în **0** logic.



Semnificația terminalelor.

Numărătorul își incrementează conținutul (numără înainte) pe frontul pozitiv al semnalului $CLOCK\ UP$, cînd $CLOCK\ DOWN$ este în **1** logic. Numărătorul își decrementează conținutul (numără înapoi) pe frontul pozitiv al semnalului $CLOCK\ DOWN$, cînd $CLOCK\ UP$ este în **1** logic.

Ieșirile $\overline{CARRY}$ și $\overline{BORROW}$ sînt în **1** logic cînd numărătorul numără înainte sau înapoi. Cînd numărătorul a atins numărul maxim numărabil în modul numărare înainte, după jumătate din perioada semnalului de tact, $\overline{CARRY}$ trece în **0** logic. Cînd numărătorul a atins numărul minim numărabil în modul numărare înapoi, după jumătate din perioada semnalului de tact $\overline{BORROW}$, trece în **0** logic.

Cascadarea mai multor numărătoare se face simplu, fără circuite externe suplimentare, prin legarea ieșirilor $\overline{BORROW}$ și $\overline{CARRY}$ la intrările $CLOCK\ DOWN$ și, respectiv, $CLOCK\ UP$, corespunzătoare numărătorului următor.

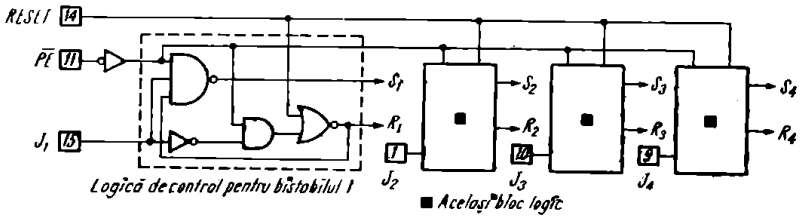
CLOCK UP	CLOCK DOWN	$\overline{PRESET\ ENABLE}$	RESET	Acțiune
⌐¯	1	1	0	Numără înainte
¯_	1	1	0	Nu numără
1	⌐¯	1	0	Numără înapoi
1	¯_	1	0	Nu numără
X	X	0	0	PRESET
X	X	X	1	RESET

1 - Nivel de tensiune sus
0 - Nivel de tensiune jos
X - Indiferent

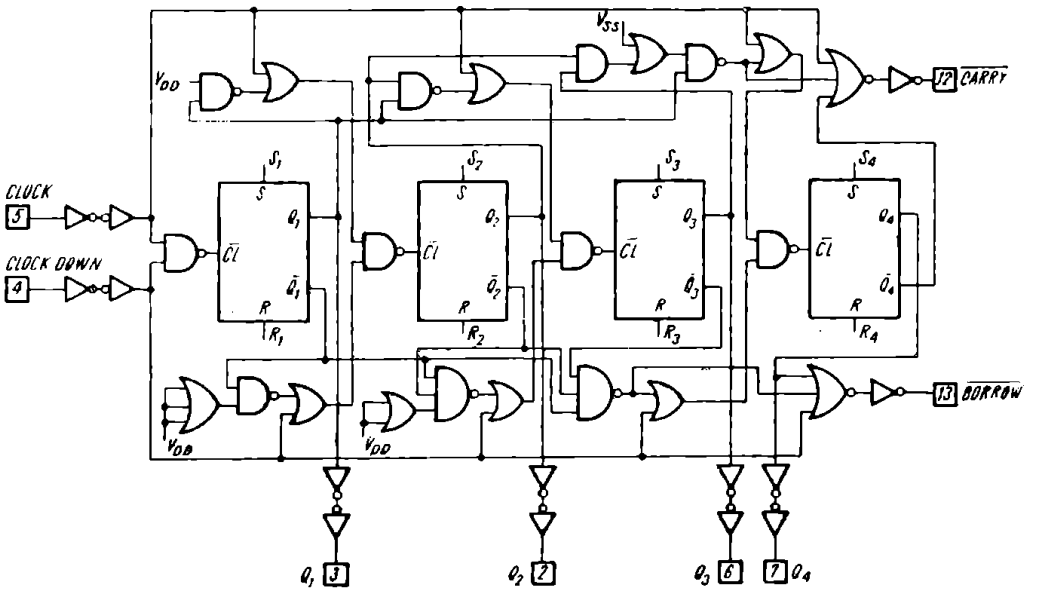
Tabela de adevăr.

Performanțe

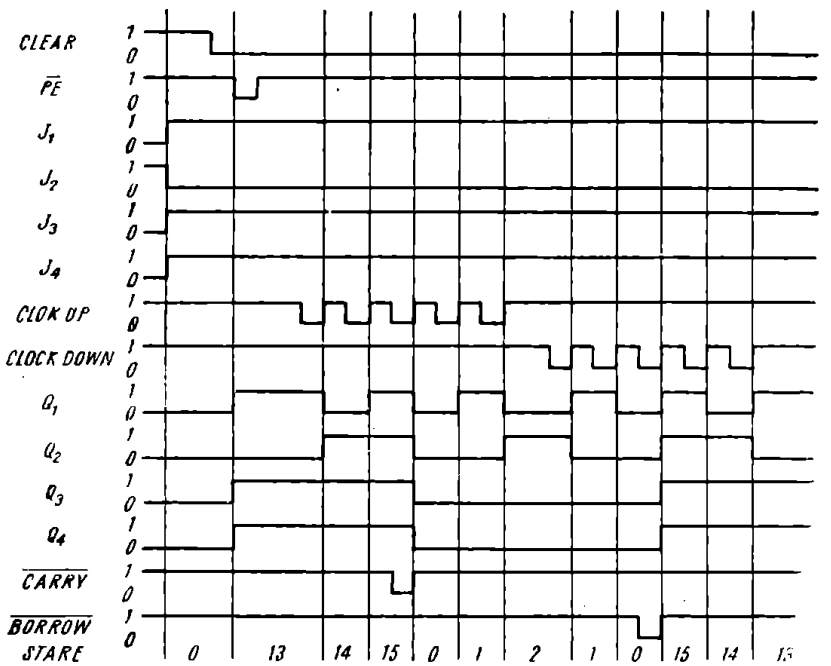
- intrări de tact separate pentru numărare înainte sau înapoi ;
- ieșiri sincrone întîrziate de transport și împrumut pentru cascadare ;
- viteză medie de operare : 8 MHz (tipic) pentru $V_{DD} = 10$ V ;
- intrări asincrone de reset și presetare.



Schema logică a blocurilor de control.



Schema logică a circuitului.



Formele de undă pentru o secvență de numărare.