
5.4. MULTIPLEXOARE

Multiplexoarele (MUX) – sunt circuite logice combinaționale cu m intrări și o singură ieșire, care permit transferul datelor de la una din intrări spre ieșirea unică. Selecția intrării de la care se transferă datele se face prin intermediul unui cuvânt de cod de selecție numit adresă, cuvânt care are n biți. Numărul de intrări m este egal cu numărul combinațiilor logice de adresă 2^n a căror apariție urmează să autorizeze accesul succesiv al intrărilor către ieșire ($m=2^n$). Schema de principiu a unui multiplexor este prezentată în **figura 5.4.1**.

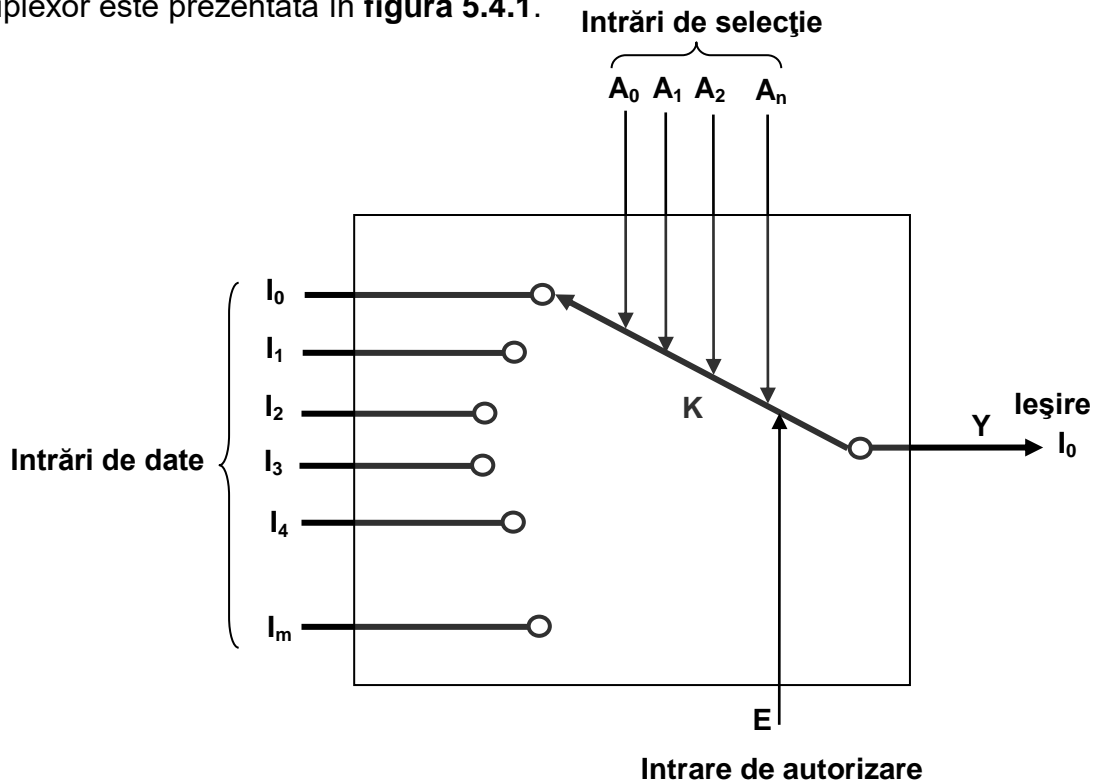


Figura 5.4.1 Schema de principiu a unui multiplexor

În funcție de poziția comutatorului K la ieșirea Y va fi transmis semnalul uneia din intrările de date I . Poziția comutatorului este comandată de nivelul logic al intrărilor de selecție (A_1, A_2, \dots, A_n), care formează adresa unei anumite intrări de date. Multiplexorul mai este prevăzut cu o intrare de autorizare (E) care permite funcționarea sau blocarea multiplexorului.

În practică se utilizează următoarele tipuri de multiplexoare:

- Cu 2 intrări și o linie de adresă (SN74LS157, CDB 4157);
 - Cu 4 intrări și 2 linii de adresă (SN74LS153, CDB 4153);
 - Cu 8 intrări și 3 linii de adresă (SN74LS151, CDB 4151);
 - Cu 16 intrări și 4 linii de adresă (SN74LS150, CDB 74150).
-

1. MULTIPLEXOR CU 2 INTRĂRI

Acest multiplexor (**fig.5.4.2 a**) permite transferul datelor de pe intrările de date I_0 și I_1 la ieșirea Y în funcție de starea logică a intrării de selecție A conform tablei de adevăr din (**fig. 5.4.2 b**).

Când $A=0$ pe ieșirea Y se transferă datele de pe intrarea I_0

Când $A=1$ pe ieșirea Y se transferă datele de pe intrarea I_1

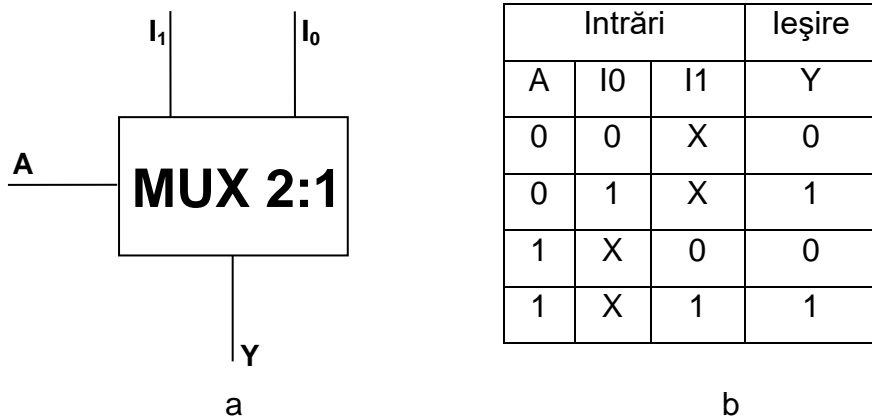


Figura 5.4.2 Multiplexor cu 2 intrări

Realizat cu porți logice elementare, multiplexorul cu 2 intrări arată ca în **figura 5.4.3**

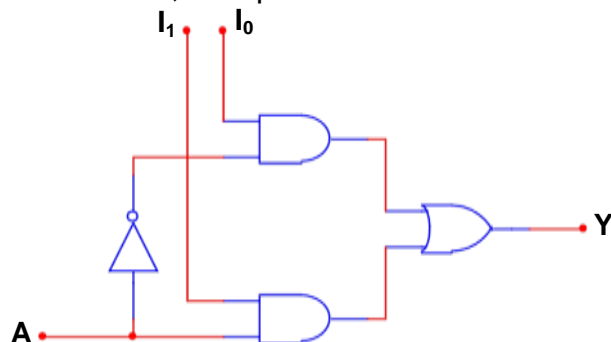
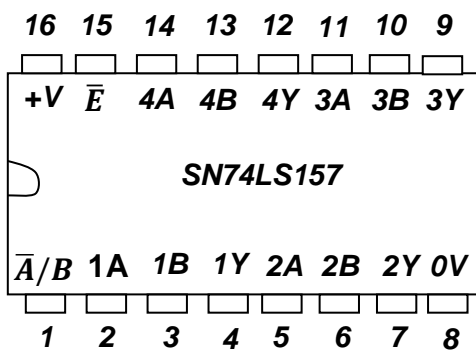


Figura 5.4.3 Multiplexorul cu 2 intrări realizat cu porți logice

Prezentarea circuitului SN 74LS157 (4 multiplexoare cu 2 intrări)

Configurația terminalelor



Tabelul de adevăr

INTRĂRI				leșire
\bar{E}	\bar{A}/B	A	B	Y
1	X	X	X	0
0	1	1	X	1
0	1	0	X	0
0	0	X	1	1
0	0	X	0	0

Figura 5.4.4 Multiplexorul cu 2 intrări SN74SL157

2. MULTIPLEXOR CU 4 INTRĂRI

Acest multiplexor (**fig.5.4.5 a**) permite transferul datelor de pe intrările de date I_0 , I_1 , I_2 , I_3 la ieșirea Y în funcție de starea logică a intrărilor de selecție A_0 , A_1 conform tabelului de adevăr din (**fig. 5.4.5 b**).

Când $A_1=0$, $A_0=0$ (**0**) pe ieșirea Y se transferă datele de pe intrarea **I_0**

Când **$A_1=0$, $A_0=1$** (**1**) pe ieșirea Y se transferă datele de pe intrarea **I_1**

Când **$A_1=1$, $A_0=0$** (**2**) pe ieșirea Y se transferă datele de pe intrarea **I_2**

Când **$A_1=1$, $A_0=1$** (**3**) pe ieșirea Y se transferă datele de pe intrarea **I_3**

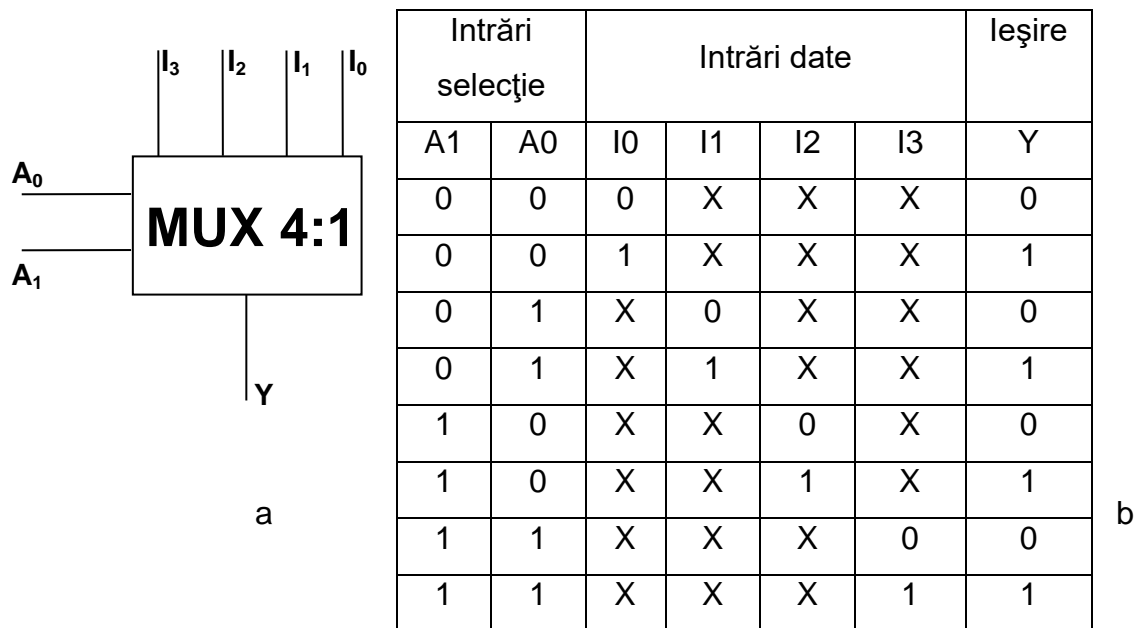


Figura 5.4.5 Multiplexor cu 4 intrări

Realizat cu porți logice elementare, multiplexorul cu 4 intrări arată ca în **figura 5.4.6**

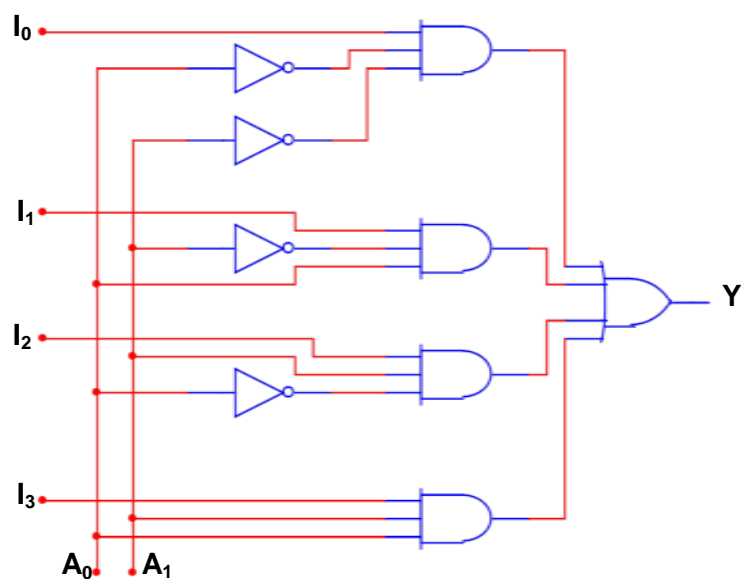
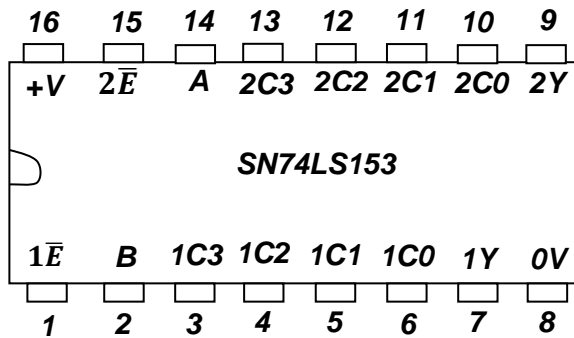


Figura 5.4.6 Multiplexorul cu 4 intrări realizat cu porți logice

Prezentarea circuitului SN 74LS153 (2 multiplexoare cu 4 intrări)

Configurația terminalelor



Tabelul de adevăr

Intrări selecție		Intrări date				Autorizare	Ieșire
B	A	C0	C1	C2	C3	\bar{E}	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

Figura 5.4.7 Multiplexorul cu 4 intrări SN74SL153

3. MULTIPLEXOR CU 8 INTRĂRI

Acest multiplexor (**fig.5.4.8 a**) permite transferul datelor de pe intrările de date I₀, I₁, I₂, I₃, I₄, I₅, I₆, I₇, la ieșirea Y în funcție de starea logică a intrărilor de selecție A₀, A₁, A₂ conform tabelului de adevăr din (**fig. 5.4.8 b**).

Când **A₂=0, A₁=0, A₀=0 (0)** pe ieșirea Y se transferă datele de pe intrarea **I₀**

Când **A₂=0, A₁=0, A₀=1 (1)** pe ieșirea Y se transferă datele de pe intrarea **I₁**

Când **A₂=0, A₁=1, A₀=0 (2)** pe ieșirea Y se transferă datele de pe intrarea **I₂**

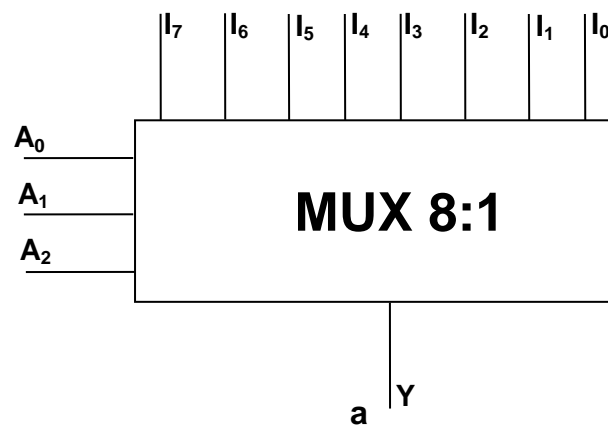
Când **A₂=0, A₁=1, A₀=1 (3)** pe ieșirea Y se transferă datele de pe intrarea **I₃**

Când **A₂=1, A₁=0, A₀=0 (4)** pe ieșirea Y se transferă datele de pe intrarea **I₄**

Când **A₂=1, A₁=0, A₀=1 (5)** pe ieșirea Y se transferă datele de pe intrarea **I₅**

Când **A₂=1, A₁=1, A₀=0 (6)** pe ieșirea Y se transferă datele de pe intrarea **I₆**

Când **A₂=1, A₁=1, A₀=1 (7)** pe ieșirea Y se transferă datele de pe intrarea **I₇**



INTRĂRI SELECȚIE			IEȘIRE
A2	A1	A0	Y
0	0	0	I ₀
0	0	1	I ₁
0	1	0	I ₂
0	1	1	I ₃
1	0	0	I ₄
1	0	1	I ₅
1	1	0	I ₆
1	1	1	I ₇

b

Figura 5.4.8 Multiplexor cu 8 intrări

Realizat cu porți logice elementare, multiplexorul cu 8 intrări arată ca în **figura 5.4.9**.

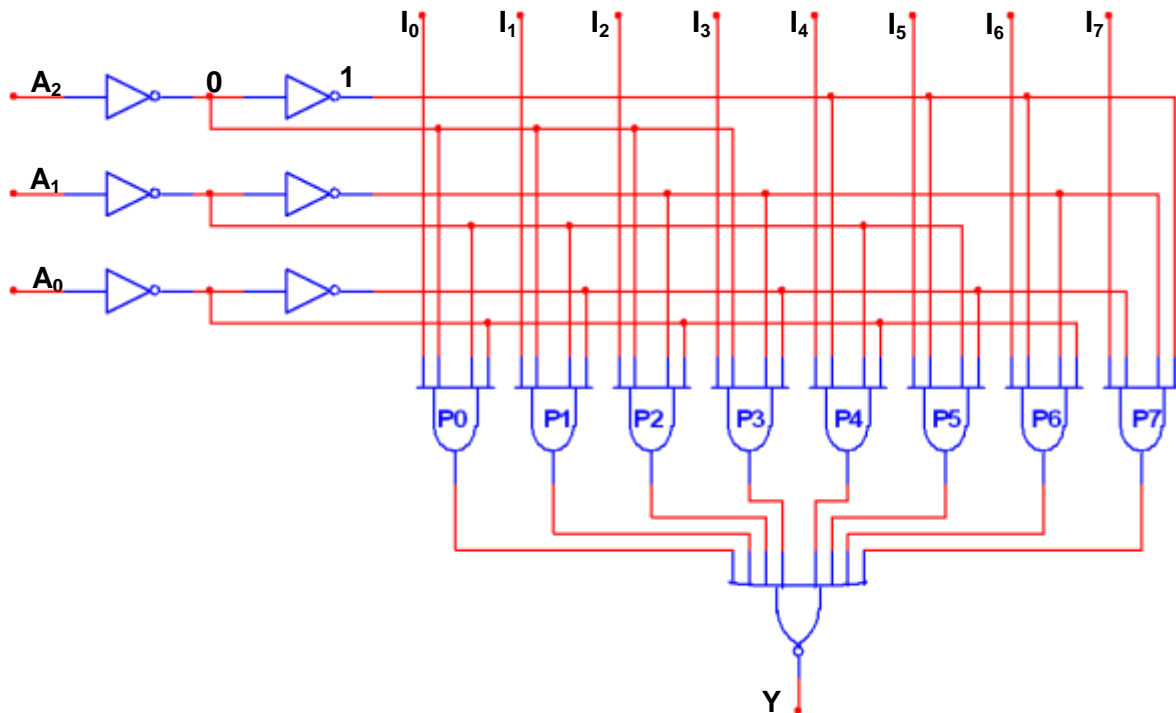


Figura 5.4.9 Multiplexorul cu 8 intrări realizat cu porți logice

Prezentarea circuitului SN 74LS151 (1 multiplexor cu 8 intrări)

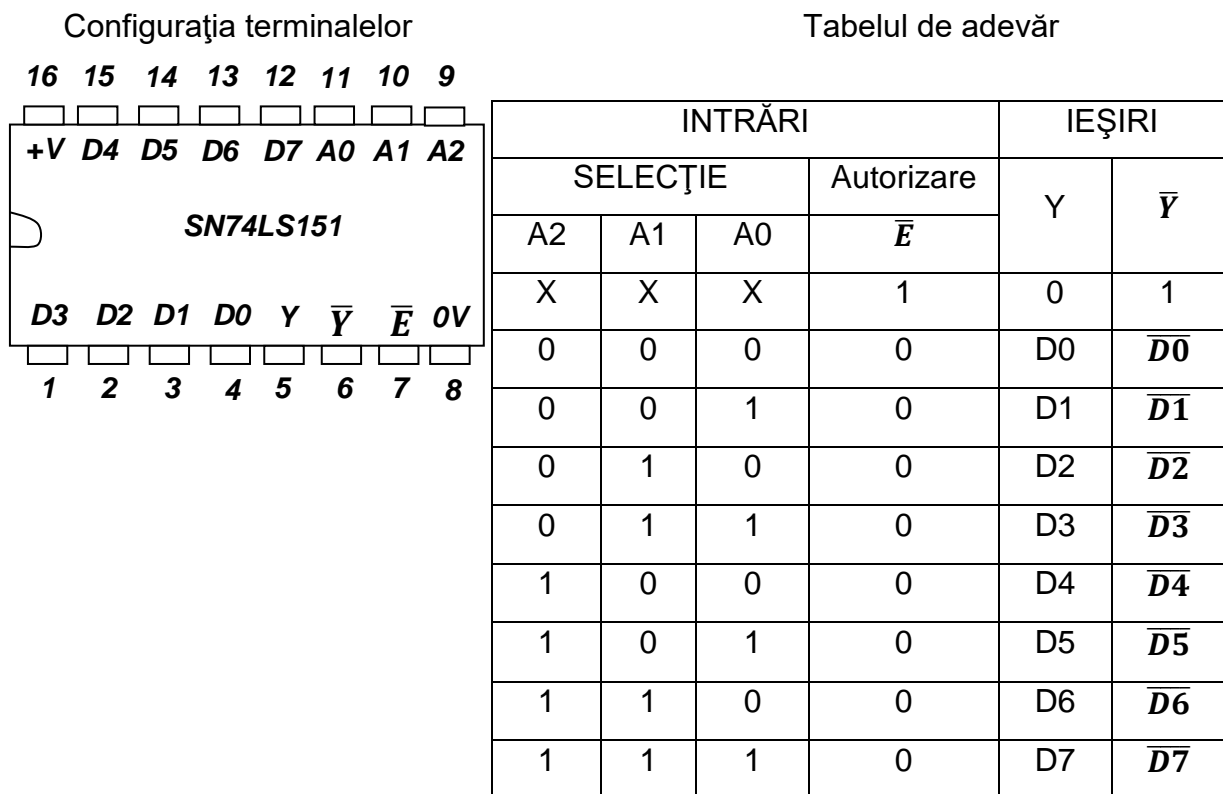
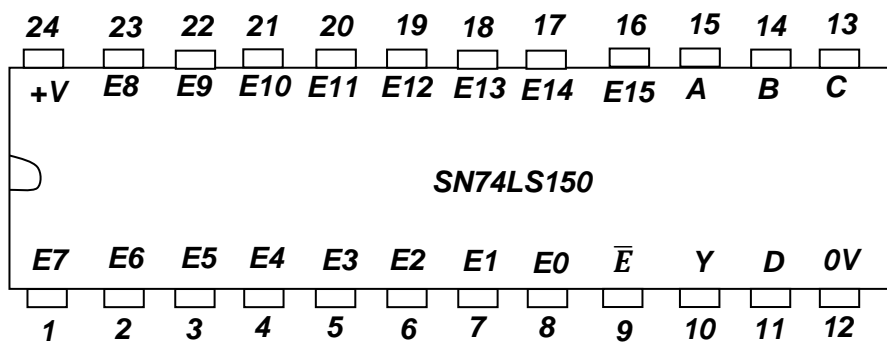


Figura 5.4.10 Multiplexorul cu 8 intrări SN74SL151

Prezentarea circuitului SN 74LS150 (1 multiplexor cu 16 intrări)

Configurația terminalelor



Tabelul de adevăr

INTRĂRI					ieșire
D	C	B	A	\bar{E}	Y
X	X	X	X	1	1
0	0	0	0	0	$\bar{E0}$
0	0	0	1	0	$\bar{E1}$
0	0	1	0	0	$\bar{E2}$
0	0	1	1	0	$\bar{E3}$
0	1	0	0	0	$\bar{E4}$
0	1	0	1	0	$\bar{E5}$
0	1	1	0	0	$\bar{E6}$
0	1	1	1	0	$\bar{E7}$
1	0	0	0	0	$\bar{E8}$
1	0	0	1	0	$\bar{E9}$
1	0	1	0	0	$\bar{E10}$
1	0	1	1	0	$\bar{E11}$
1	1	0	0	0	$\bar{E12}$
1	1	0	1	0	$\bar{E13}$
1	1	1	0	0	$\bar{E14}$
1	1	1	1	0	$\bar{E15}$

Figura 5.4.11 Multiplexorul cu 16 intrări SN74SL150

VERIFICAREA PRACTICĂ A MULTIPLEXORULUI CU 4 INTRĂRI - SN 74LS153

În figura 5.4.12 este schema unui circuit de verificare practică a unui multiplexor cu 4 intrări realizată cu simulatorul Multisim.

Comutatoarele I0, I1, I2 sunt intrările de date care pot fi 0 logic sau 1 logic în funcție de poziția comutatorului.

Comutatoarele A0, A1 sunt intrările de selecție care pot fi 0 logic sau 1 logic în funcție de poziția comutatorului.

Comutatorul E este intrarea de autorizare care poate fi 0 logic sau 1 logic în funcție de poziția comutatorului.

La ieșirea circuitului (Y) este conectat prin intermediul unui rezistor R un LED care luminează în 1 logic și este stins în 0 logic.

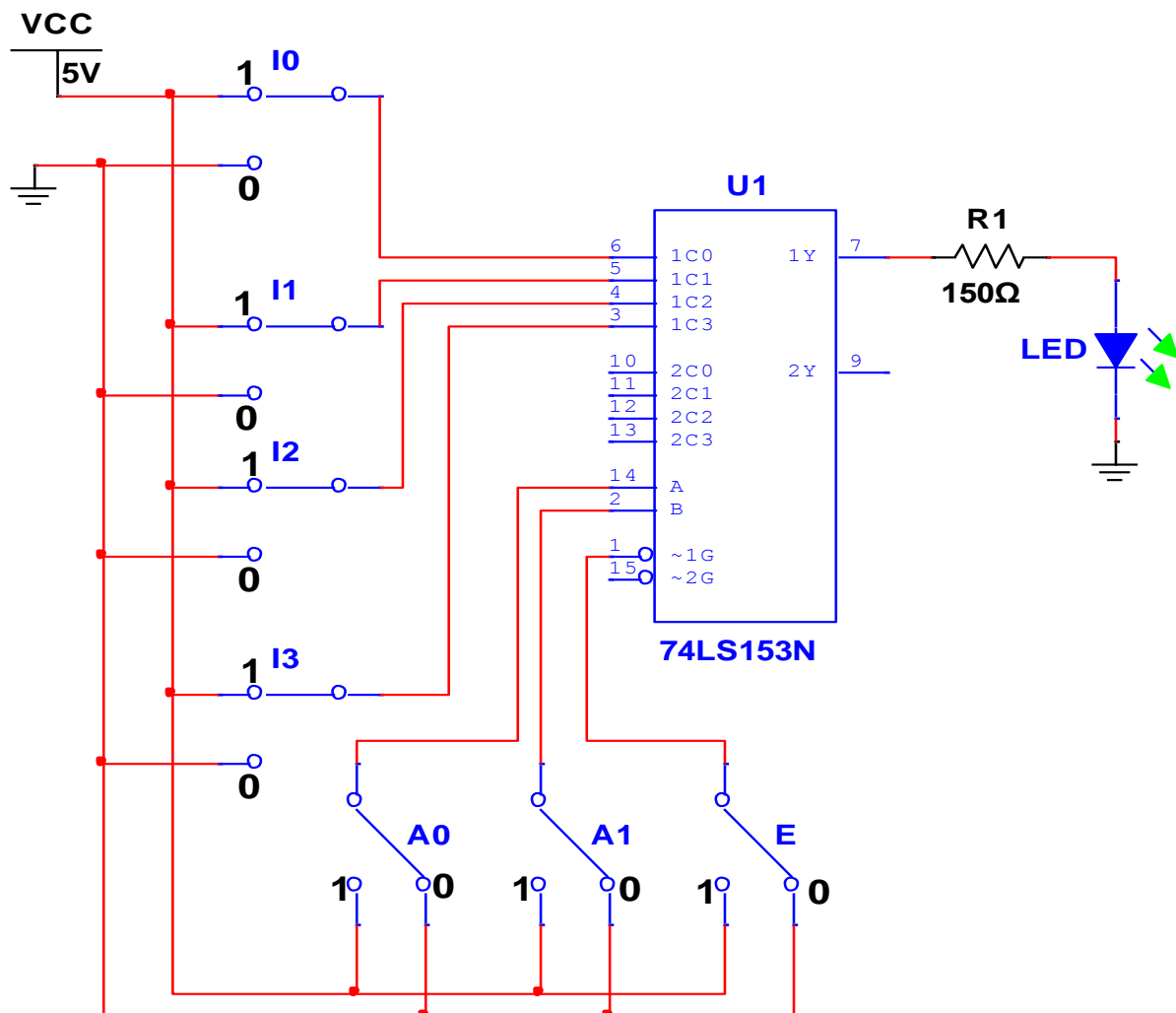


Figura 5.4.12 Schemă de verificare a multiplexorului SN74SL153

Pentru verificarea funcționării se poziționează comutatoarele conform tabelii de adevăr din figura 5.4.5 și se observă starea LED-ului de la ieșirea multiplexorului.

5.5. DEMULTIPLEXOARE

Demultiplexoarele (DMUX) – sunt circuite logice combinaționale cu o singură intrare și m ieșiri, care permit transferul datelor de la intrarea unică spre una din cele m ieșiri. Selecția ieșirii spre care se transferă datele se face prin intermediul unui cuvânt de cod de selecție numit adresă, cuvânt care are n biți. Numărul de ieșiri m este egal cu numărul combinațiilor logice de adresă 2^n a căror apariție urmează să autorizeze transferul semnalului de intrare succesiv către cele m ieșiri ($m=2^n$). Schema de principiu a unui demultiplexor este prezentată în **figura 5.5.1**

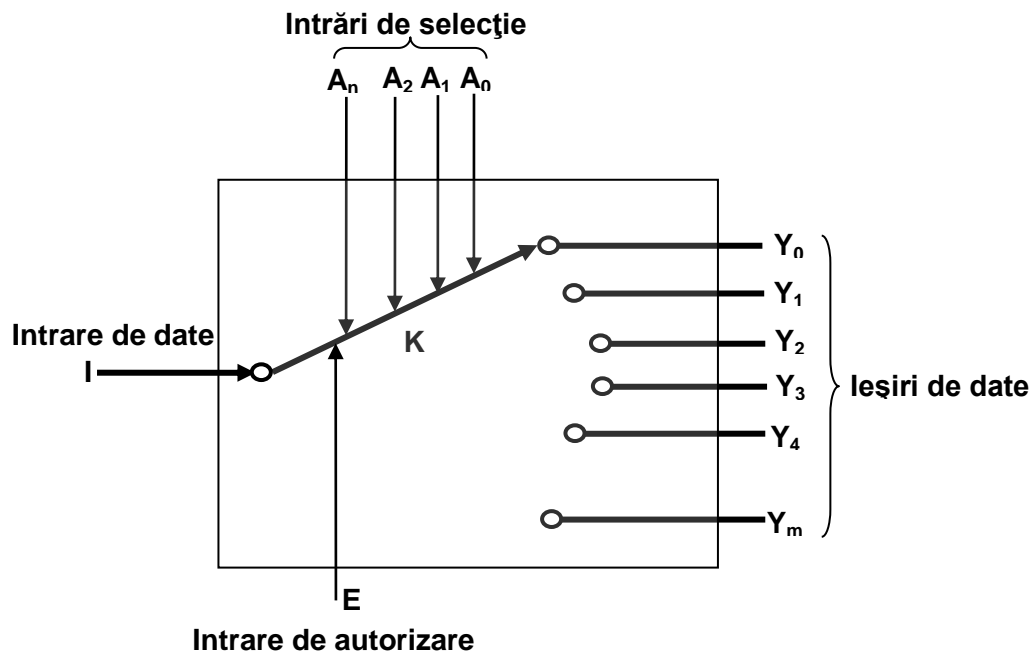


Figura 5.5.1 Schema de principiu a unui demultiplexor

În funcție de poziția comutatorului K , semnalul de intrare I va fi transmis uneia din ieșirile de date $Y_0, Y_1, Y_2, \dots, Y_m$. Poziția comutatorului este comandată de nivelul logic al intrărilor de selecție (A_0, A_1, \dots, A_n), care formează adresa unei anumite ieșiri de date.

Când codul cuvântului de la intrarea de selecție (A_0, \dots, A_n) corespunde cu adresa unei ieșiri (Y_0, \dots, Y_m), semnalul de la intrarea de date (I) este transmis către acea ieșire. Celelalte ieșiri (care nu sunt active) vor trece în 0 logic (la unele circuite în 1 logic).

Demultiplexorul mai este prevăzut cu o intrare de autorizare (E) care permite funcționarea sau blocarea demultiplexorului.

Principala utilizare a demultiplexorului este conversia serie – paralel a datelor binare.

1. DEMULTIPLEXOR CU 4 IEȘIRI

Acest multiplexor (**fig.5.5.2 a**) permite transferul datelor de pe intrarea de date I la una din ieșirile Y_0, Y_1, Y_2, Y_3 în funcție de starea logică a intrărilor de selecție A_0, A_1 conform tabelului de adevăr din (**fig. 5.5.2 b**).

Când $A_1=0, A_0=0$ (0) semnalul de pe intrarea I se transferă pe ieșirea Y_0

Când $A_1=0, A_0=1$ (1) semnalul de pe intrarea I se transferă pe ieșirea Y_1

Când $A_1=1, A_0=0$ (2) semnalul de pe intrarea I se transferă pe ieșirea Y_2

Când $A_1=1, A_0=1$ (3) semnalul de pe intrarea I se transferă pe ieșirea Y_3

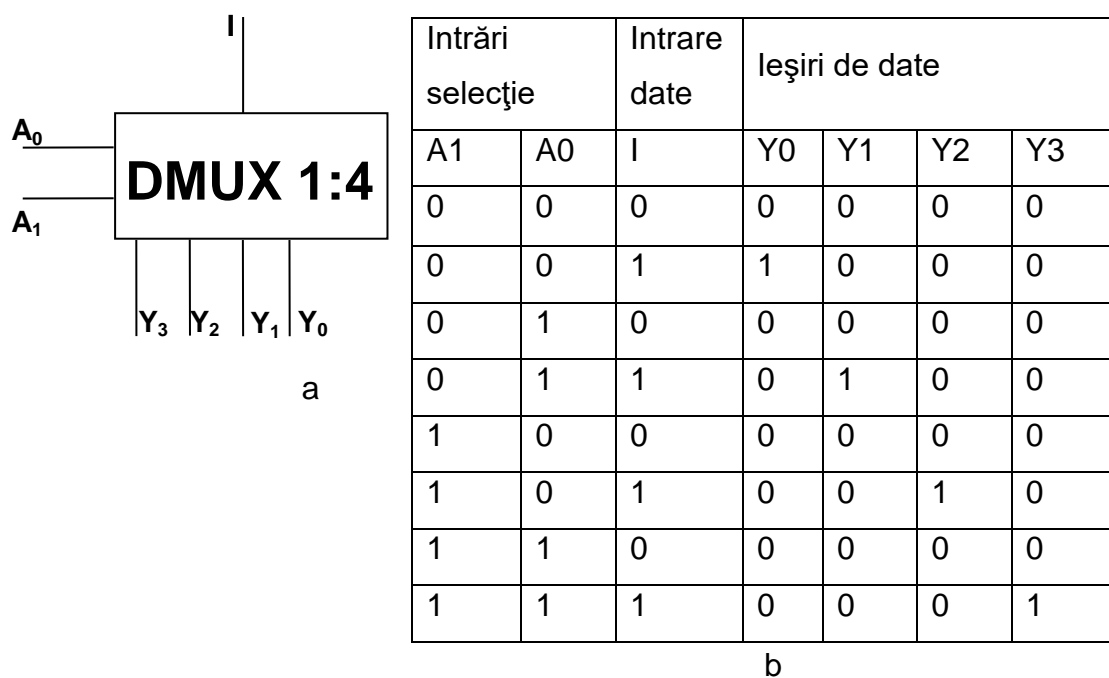


Figura 5.5.2 Demultiplexor cu 4 ieșiri

Realizat cu porți logice elementare, demultiplexorul cu 4 ieșiri arată ca în figura 5.5.3

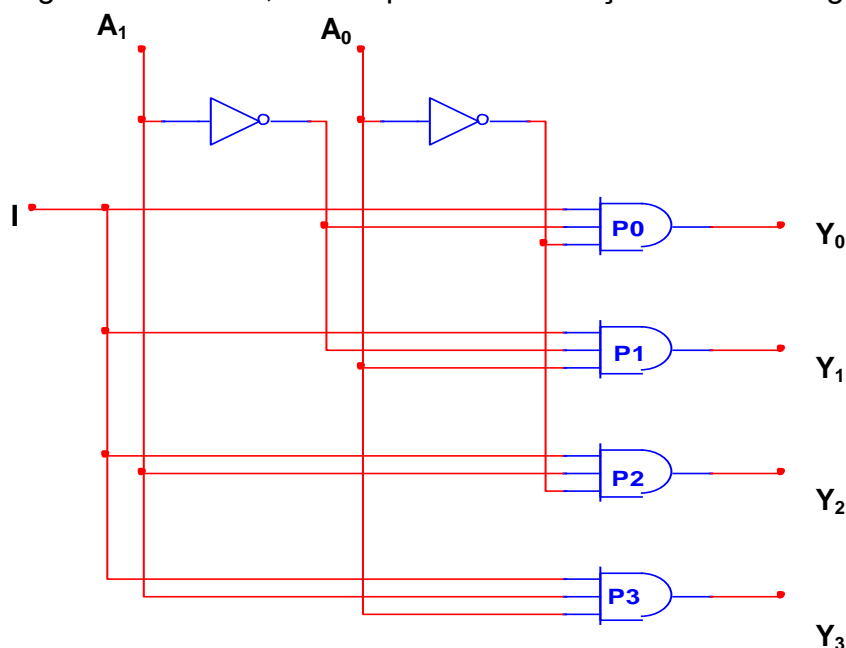
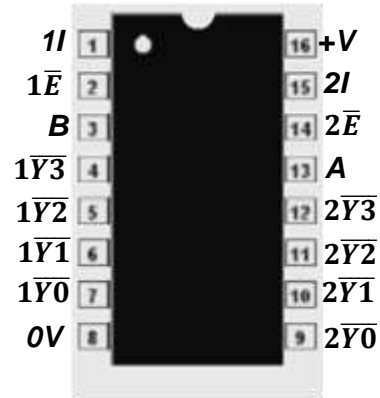


Figura 5.5.3 Demultiplexorul cu 4 ieșiri realizat cu porți logice

Prezentarea demultiplexorului cu 4 ieșiri - 74LS155N (**figura 5.5.4**)

Configurația terminalelor:



Tabelul de adevăr

Intrări selecție		Intrare autorizare	Intrare date	Ieșiri de date			
A1	A0	\bar{E}	I	$\bar{Y0}$	$\bar{Y1}$	$\bar{Y2}$	$\bar{Y3}$
0	0	0	0	1	1	1	1
0	0	0	1	0	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	0	1	1
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	1
1	1	0	0	1	1	1	1
1	1	0	1	1	1	1	0
X	X	1	X	1	1	1	1

Circuit de verificare a demultiplexorului

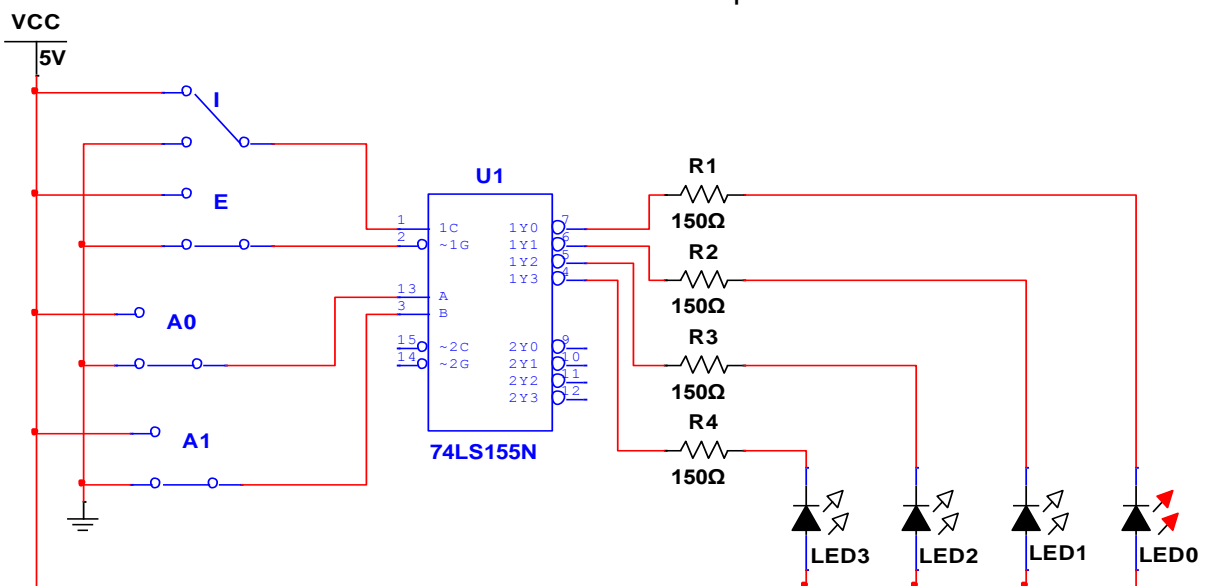


Figura 5.5.4 Demultiplexorul cu 4 ieșiri 74LS155N

2. DEMULTIPLEXOR CU 8 IEȘIRI

Acest multiplexor (**fig.5.5.5 a**) permite transferul datelor de pe intrarea de date I la una din ieșirile Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7 în funcție de starea logică a intrărilor de selecție A0, A1, A2 conform tabelului de adevăr din (**fig. 5.5.5 b**).

Când **A2=0, A1=0, A0=0 (0)** semnalul de pe intrarea I se transferă pe ieșirea **Y0**

Când **A2=0, A1=0, A0=1 (1)** semnalul de pe intrarea I se transferă pe ieșirea **Y1**

Când **A2=0, A1=1, A0=0 (2)** semnalul de pe intrarea I se transferă pe ieșirea **Y2**

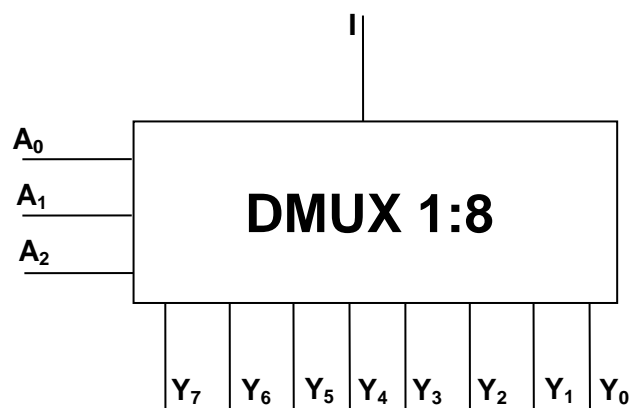
Când **A2=0, A1=1, A0=1 (3)** semnalul de pe intrarea I se transferă pe ieșirea **Y3**

Când **A2=1, A1=0, A0=0 (4)** semnalul de pe intrarea I se transferă pe ieșirea **Y4**

Când **A2=1, A1=0, A0=1 (5)** semnalul de pe intrarea I se transferă pe ieșirea **Y5**

Când **A2=1, A1=1, A0=0 (6)** semnalul de pe intrarea I se transferă pe ieșirea **Y6**

Când **A2=1, A1=1, A0=1 (7)** semnalul de pe intrarea I se transferă pe ieșirea **Y7**



a

INTRĂRI				IEȘIRI							
I	A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0/1	0	0	0	0	0	0	0	0	0	0	0/1
0/1	0	0	1	0	0	0	0	0	0	0/1	0
0/1	0	1	0	0	0	0	0	0	0/1	0	0
0/1	0	1	1	0	0	0	0	0/1	0	0	0
0/1	1	0	0	0	0	0	0/1	0	0	0	0
0/1	1	0	1	0	0	0/1	0	0	0	0	0
0/1	1	1	0	0	0/1	0	0	0	0	0	0
0/1	1	1	1	0/1	0	0	0	0	0	0	0

b

Figura 5.5.5 Demultiplexor cu 8 ieșiri

Realizat cu porți logice elementare, demultiplexorul cu 8 ieșiri arată ca în **figura 5.5.6**

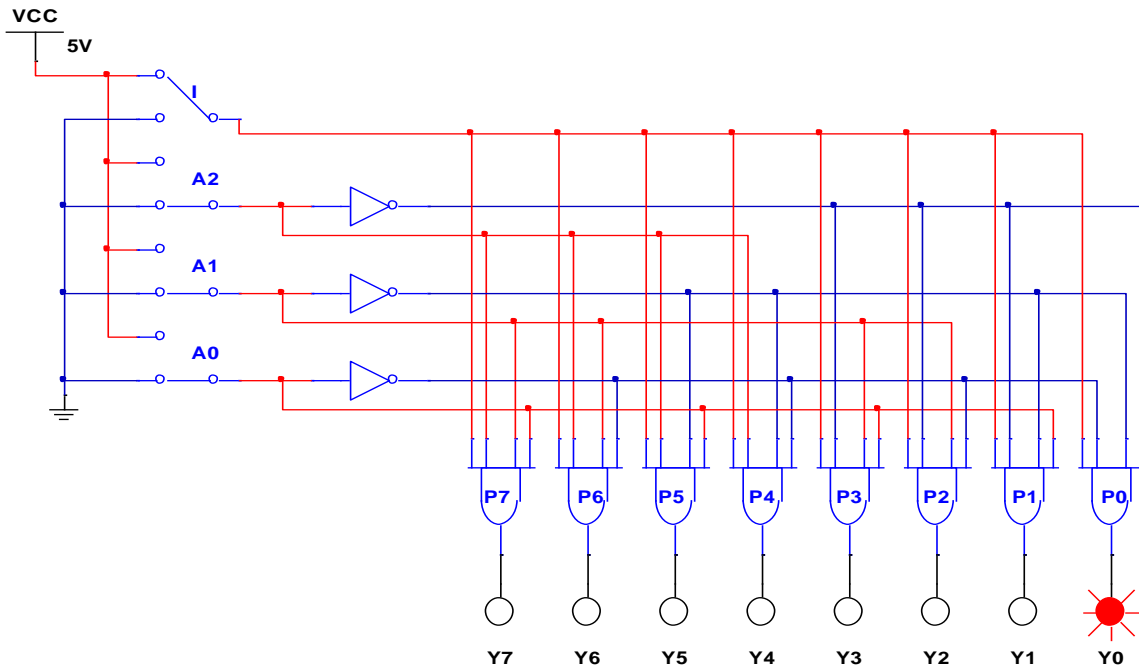
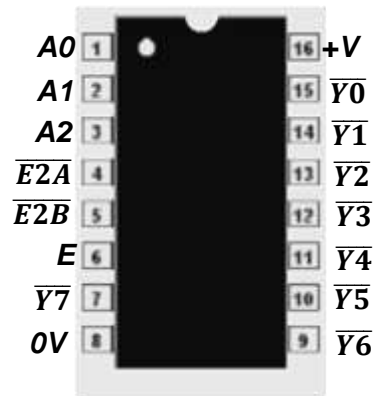


Figura 5.5.6 Circuit de verificare a demultiplexorului cu 8 ieșiri realizat cu porți logice

Prezentarea demultiplexorului cu 8 ieșiri - 74LS138N (**figura 5.5.7**)

a. Configurația terminalelor



b. Tabelul de adevăr

INTRĂRI						IEȘIRI							
$\overline{E2A}$	$\overline{E2B}$	E	A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0/1	0	0	0	1	1	1	1	1	1	1	1/0
0	0	0/1	0	0	1	1	1	1	1	1	1	1/0	1
0	0	0/1	0	1	0	1	1	1	1	1	1/0	1	1
0	0	0/1	0	1	1	1	1	1	1	1/0	1	1	1
0	0	0/1	1	0	0	1	1	1	1/0	1	1	1	1
0	0	0/1	1	0	1	1	1	1/0	1	1	1	1	1
0	0	0/1	1	1	0	1	1/0	1	1	1	1	1	1
0	0	0/1	1	1	1	1/0	1	1	1	1	1	1	1

Figura 5.5.7 Demultiplexorul cu 8 ieșiri 74LS138N

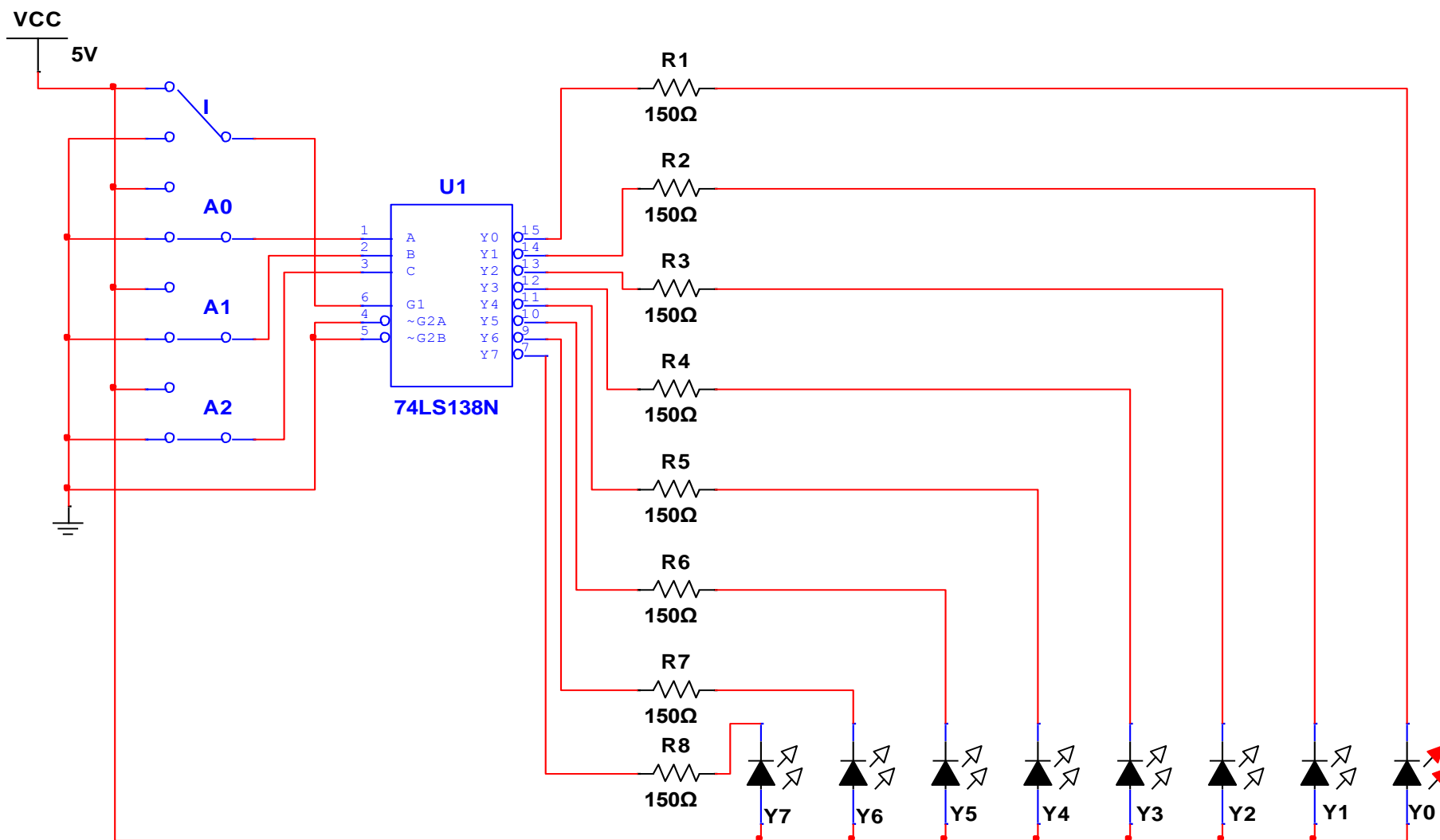


Figura 5.5.7 Circuit de verificare a demultiplexorului cu 8 ieșiri – 74LS138N