6. CIRCUITE LOGICE SECVENŢIALE
6.1. GENERALITĂŢI

Circuitele logice secvențiale (CLS) – sunt circuite logice combinaționale cu ***memorie***.

Aceste circuite se caracterizează prin faptul că în fiecare moment starea logică a ieşirilor depind atât de starea logică a intrărilor cât şi de stările logice anterioare ale intrărilor sau ale circuitului.

Un circuit logic secvențial se obține dintr-un circuit logic combinațional la care se adaugă o serie de elemente de circuit secundare (elemente de memorie), care reprezintă conexiuni de reacție inversă (prin intermediul elementelor de memorie o parte din ieşirile circuitului sunt conectate la intrările circuitului). În figura 6.1.1 este reprezentată schema bloc a unui circuit logic secvențial.

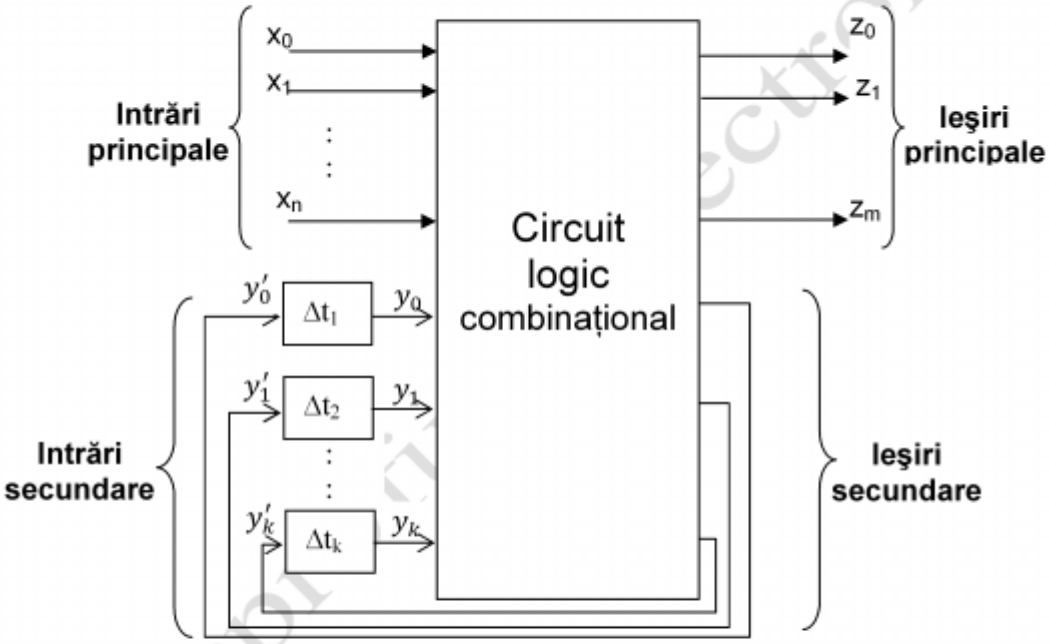

Figura 6.1.1 Schema bloc a unui circuit logic secvențial

X_0, X_1, ...X_n – *intrări principale* accesibile din exterior

Z_0, Z_1, ...Z_m – *ieşiri principale* accesibile din exterior

Y_0, Y_1, ...Y_K – *intrări secundare* , nu sunt accesibile din exterior.

Starea intrărilor secundare formează ***starea internă PREZENTĂ a CLS***

Y'_0, Y'_1,..... Y'_K - ieşiri secundare, nu sunt accesibile din exterior

Starea ieşirilor secundare formează ***starea internă URMĂTOARE a CLS***

Δt_0, Δt_1, ...Δt_k – elemente de memorie (de întârziere)

Stările URMĂTOARE devin PREZENTE după un interval de timp determinat de elementele de memorie (întârziere).

http://eprofu.ro/electronica

La circuitele logice secvențiale variabilele de intrare, ieşire şi stare pot avea numai două valori ***"1logic"*** şi **"0 logic"** cu un număr finit de stări.

În funcție de elementele de memorie, care asigură temporizarea semnalelor, circuitele logice secvențiale se împart în două mari categorii:

- **circuite secvențiale asincrone**
- **circuite secvențiale sincrone**

La circuitele secvențiale ***asincrone***, *starea prezentă* a circuitului *poate fi modificată în orice moment*, ca efect al schimbării nivelelor logice aplicate la intrările principale. Fiecare element de memorie este format dintr-un şir de porți logice prin care întârzie semnalul logic care se propagă prin aceste porți, deci elementul de memorie este un dispozitiv de întârziere. Deoarece această întârziere nu poate fi controlată, aceste circuite pot deveni instabile, motiv pentru care circuitele secvențiale asincrone se utilizează foarte rar.

La circuitele secvențiale ***sincrone***, *starea prezentă* a circuitului *poate fi modificată numai la apariția unui semnat de temporizare* numit semnal de **ceas** sau **tact**. Semnalul de ceas este un şir de impulsuri dreptunghiulare care se aplică circuitului printr-o intrare suplimentară numită *intrarea semnalului de ceas*. Elementele semnalului de ceas sun prezentate în figura 6.1.2.

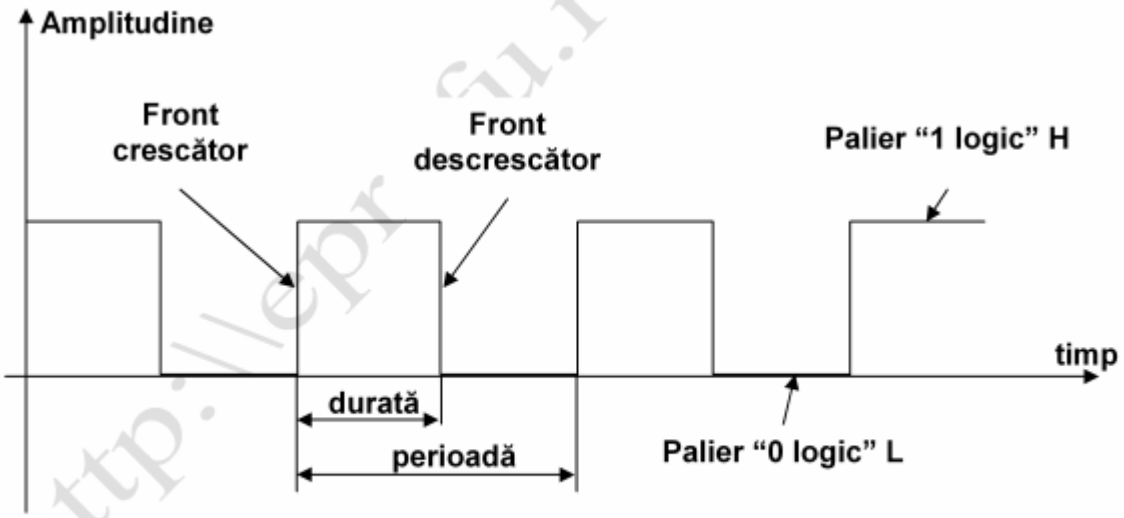

Figura 6.1.2 Elementele unui semnal de ceas (semnal dreptunghiular)

Raportul dintre lățimea duratei şi perioadei semnalului de ceas se numeşte ***factor de umplere***.

Un semnal de ceas poate fi activ fie pe frontul crescător (atunci când starea circuitului se schimbă pe frontul crescător) sau pe frontul descrescător (atunci când starea circuitului se schimbă pe frontul descrescător).

http://eprofu.ro/electronica