

## 6.2. CIRCUITE BASCULANTE BISTABILE

*Circuitele basculante bistabile* (CBB) – sunt cele mai simple circuite logice secvențiale, cu două stări stabile, utilizate ca *elemente de memorie* în circuitele logice secvențiale complexe în scopul memorării stărilor interne ale acestora.

Un CBB este prevăzut cu două sau mai multe intrări și două ieșiri care sunt complementare una față de cealaltă și funcționează ca o memorie de 1 bit.

Intrările CBB sunt utilizate pentru a provoca bascularea circuitului (se schimbă stările logice ale ieșirilor) la apariția unui impuls pe intrare. CBB va rămâne în această stare și după dispariția impulsului pe intrare. CBB memorează o anumită informație până la apariția unui impuls pe intrarea acestuia.

În funcție de numărul intrărilor CBB pot funcționa în 2 regimuri:

- **Regim asincron** – CBB are numai intrări de date, fără a fi prevăzut cu intrare de tact, la care starea circuitului la ieșire este determinată de combinațiile de valori ale intrărilor de date (latch-uri).
- **Regim sincron** – CBB are pe lângă intrările de date și o intrare de tact, care determină momentul în care combinațiile valorilor ale intrărilor de date modifică starea ieșirilor circuitului (bistabile).

În funcție de modul de comandă și de stările disponibile CBB pot fi:

- De tip RS
- De tip JK
- De tip D
- De tip T

Tipuri de latch-uri (CBB asincrone):

- TTL - 74LS256, 74LS259, 74LS373, 74LS375, 74LS75.
- CMOS - 4042, 4043, 4044, 4508.

Tipuri de bistabile (CBB sincrone):

- TTL - 74107, 74109, 74112, 74173, 74174, 74175.
- CMOS - 4013, 4027, 4076.

## 6.2.1 CIRCUITE BASCULANTE BISTABILE DE TIP RS

CBB de tip RS se obțin prin introducerea unei reacții într-un sistem elementar de ordin 0, obținând astfel un sistem de ordin 1.

### 1. Circuitul basculant bistabil de tip RS ASINCRON

Acest circuit datorită proprietăților sale de memorare este cunoscut și sub numele de **latch** (**zăvor**) și poate fi realizat cu 2 porți SAU-NU (NOR) sau 2 porți ȘI-NU (NAND). Circuitele RS asincrone sunt prevăzute cu 2 intrări **R (Reset)** readucere în 0 sau ștergere și **S (Set)** fixare sau înscriere, precum și cu 2 ieșiri complementare **Q** respectiv  $\bar{Q}$ .

În figura 6.2.1 sunt reprezentate schema logică (a) și simbolul (b) unui latch RS cu porți NOR.

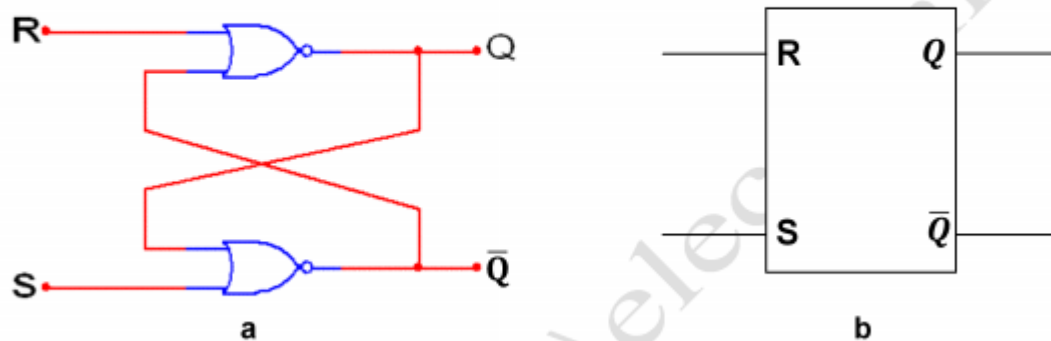


Figura 6.2.1 Latch RS cu porți NOR (SAU-NU)

Pentru a înțelege funcționarea circuitului se studiază tabela de adevăr al circuitului prezentată mai jos (Tabelul 6.2.1).

Tabelul 6.2.1

$R_n$	$S_n$	$Q_{n+1}$
0	0	$Q_n$
1	0	0
0	1	1
1	1	X

Indice n – valoare logică prezentă

Indice n+1 – valoare logică viitoare

X – stare de nedeterminare (interzisă)

- Cât timp ambele intrări sunt inactice  $R=S=0$  ieșirile **Q** și  $\bar{Q}$  nu își schimbă stările logice în care se află (circuitul nu comută).
- Când pe intrarea **S** (înscriere) se aplică un impuls pozitiv  $S=1$  ieșirea **Q** trece în **1 logic** iar ieșirea complementară  $\bar{Q}$  trece în **0 logic** (circuitul trece în starea **1**).
- Când pe intrarea **R** (ștergere) se aplică un impuls pozitiv  $R=1$  ieșirea **Q** trece în **0 logic** iar ieșirea complementară  $\bar{Q}$  trece în **1 logic** (circuitul trece în starea **0**).
- Dacă ambele intrări sunt active  $R=S=1$  ieșirile **Q** și  $\bar{Q}$  se află într-o stare nedeterminată influențată de procesul tehnologic de construcție al circuitului.

În figura 6.2.2 sunt reprezentate schema logică (a) și simbolul (b) unui latch RS cu porți NAND.

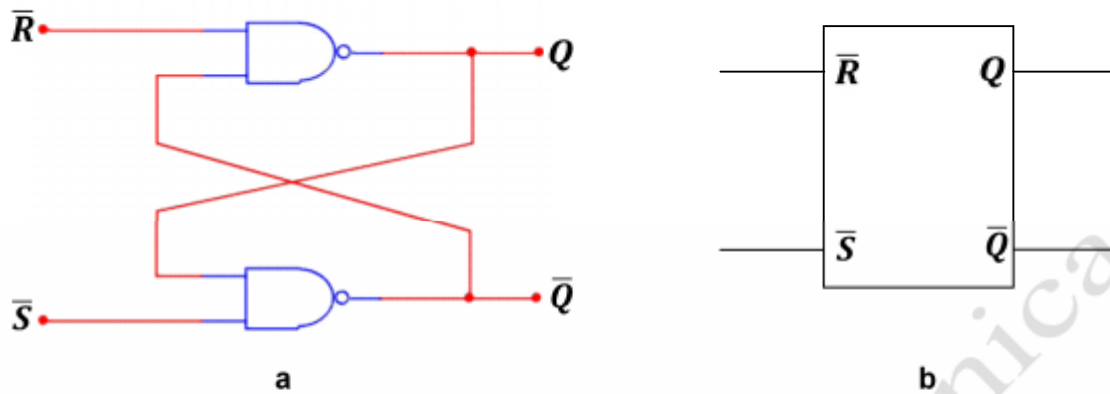


Figura 6.2.2 Latch RS cu porți NAND (SI-NU)

Pentru a înțelege funcționarea circuitului se studiază tabela de adevăr al circuitului prezentată mai jos (Tabelul 6.2.2).

Tabelul 6.2.2

$\bar{R}_n$	$\bar{S}_n$	$Q_{n+1}$
1	1	$Q_n$
0	1	0
1	0	1
0	0	X

Indice n – valoare logică prezentă

Indice n+1 – valoare logică viitoare

X – stare de nedeterminare (interzisă)

- Cât timp ambele intrări sunt active  $\bar{R} = \bar{S} = 1$  ieșirile  $Q$  și  $\bar{Q}$  nu își schimbă stările logice în care se află (circuitul nu comută).
- Când pe intrarea  $\bar{S}$  (înscriere) se aplică un impuls pozitiv  $\bar{S} = 1$  ieșirea  $Q$  trece în 0 logic iar ieșirea complementară  $\bar{Q}$  trece în 1 logic (circuitul trece în starea 0).
- Când pe intrarea  $\bar{R}$  (ștergere) se aplică un impuls pozitiv  $\bar{R} = 1$  ieșirea  $Q$  trece în 1 logic iar ieșirea complementară  $\bar{Q}$  trece în 0 logic (circuitul trece în starea 1).
- Dacă ambele intrări sunt inactive  $\bar{R} = \bar{S} = 0$  ieșirile  $Q$  și  $\bar{Q}$  se află într-o stare nedeterminată influențată de procesul tehnologic de construcție al circuitului.

## 2. Circuitul basculant bistabil de tip RS SINCRON

În majoritatea aplicațiilor practice, este necesar ca procesele de comutare să aibă loc numai la anumite momente de timp bine determinate, adică să fie sincronizate cu alte semnale, iar comutarea să se realizeze numai după ce semnalele de intrare au devenit stabile. Pentru a satisface aceste condiții se utilizează circuitele RS sincrone.

Aceste circuite sunt cunoscute și sub numele de **bistabile** și spre deosebire de circuitele RS asincrone sunt prevăzute cu o intrare suplimentară de comandă numită **intrare de tact** și pot fi realizate cu 4 porți SAU-NU (NOR) sau 4 porți ȘI-NU (NAND). Intrările de control ale circuitului RS sincron, sunt sincronizate cu intrarea de tact și controlează modul în care se schimbă nivelurile logice ale ieșirilor doar în momentul în care semnalul de tact tranzitează de la un nivel logic la alt nivel logic pe frontul activ al impulsurilor dreptunghiulare aplicate la intrarea de tact (pentru  $\overline{CLK}$  frontul activ este frontul descrescător iar pentru  $CLK$  frontul activ este frontul crescător).

**Circuitele basculante (CBB sincrone) comută pe front iar latch-urile (CBB asincrone) comută pe nivel.**

În figura 6.2.3 sunt reprezentate schema logică (a) și simbolul (b) unui bistabil RS cu porți NAND.

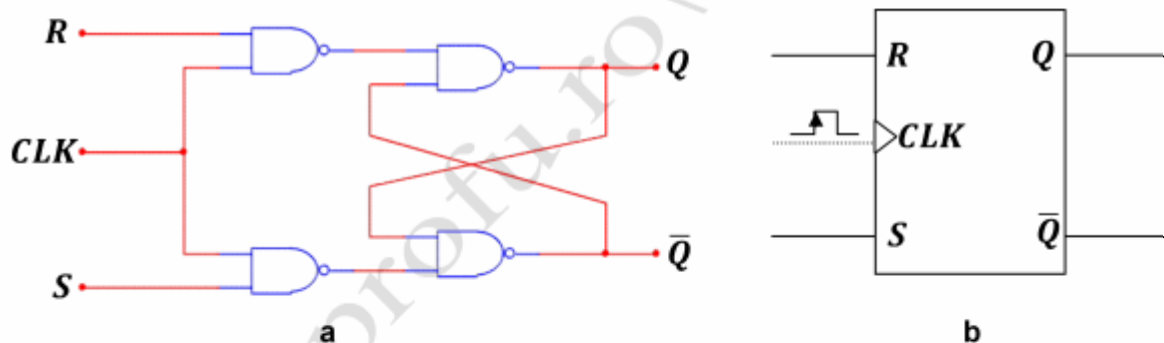


Figura 6.2.3 Bistabil RS cu porți NAND (SI-NU)

Pentru a înțelege funcționarea circuitului se studiază tabela de adevăr al circuitului prezentată mai jos (Tabelul 6.2.3).

Tabelul 6.2.3

CLK	$R_n$	$S_n$	$Q_{n+1}$
	0	0	$Q_n$
	1	0	0
	0	1	1
	1	1	X
0	X	X	$Q_n$
1	0		1
1		0	0

Indice n – valoare logică prezentă

Indice n+1 – valoare logică viitoare

X – stare de nedeterminare (interzisă)

În figura 6.2.4 sunt reprezentate schema logică (a) și simbolul (b) unui bistabil RS cu porți NOR.

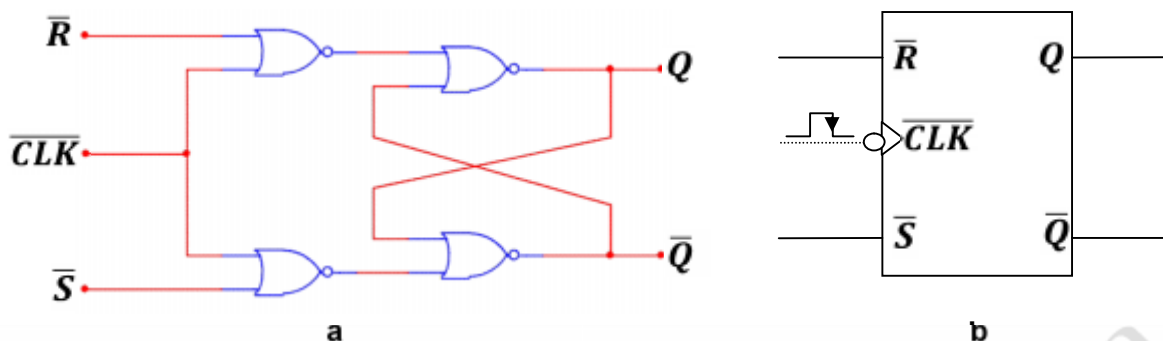


Figura 6.2.4 Bistabil RS cu porți NOR (SAU-NU)

Pentru a înțelege funcționarea circuitului se studiază tabela de adevăr al circuitului prezentată mai jos (Tabelul 6.2.4).

Tabelul 6.2.4

$\overline{CLK}$	$\overline{R}_n$	$\overline{S}_n$	$Q_{n+1}$
	1	1	$Q_n$
	1	0	1
	0	1	0
	0	0	X
1	X	X	$Q_n$
0	1		1
0		1	0

Indice n – valoare logică prezentă

Indice n+1 – valoare logică viitoare

X – stare de nedeterminare (interzisă)

### 3. Circuitul basculant bistabil de tip RS MASTER - SLAVE

Acest circuit reprezintă o extensie a circuitului bistabil RS sincron realizat cu porți NAND, și este format din două bistabile RS sincrone conectate ca în figura 6.2.5.

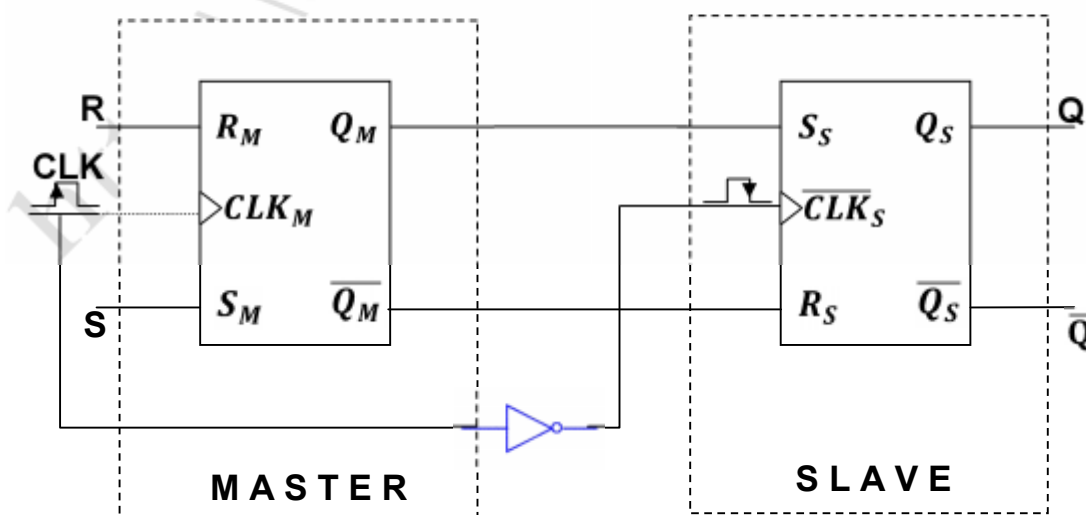


Figura 6.2.5 Bistabil RS de tip Master – Slave

## 6.2.2 CIRCUITE BASCULANTE BISTABILE DE TIP JK

Aceste circuite elimină starea de nedeterminare a ieșirilor unui circuit basculant când intrările au aceeași valoare logică  $R = S = 1$  sau  $\bar{R} = \bar{S} = 0$ , deci spre deosebire de circuitele RS admit comenzi simultane la ambele intrări. Bistabilele JK se obțin din bistabilele RS prin introducerea unei bucle de reacție de la ieșiri la intrări.

Comanda bistabilului J-K se face pe frontul crescător al impulsului de comandă. Deci ieșirea va comuta pe frontul negativ al impulsului de comandă, în funcție de valorile lui J și K de pe frontul crescător.

### 1. Circuitul basculant bistabil de tip JK ASINCRON

Circuitele basculante asincrone de tip JK sunt prevăzute cu 2 intrări **J (SET)** aducere circuitului din starea de repaus "0" în starea activă "1" și **K (RESET)** Ștergerea sau readucerea circuitului din starea activă "1" în starea de repaus "0", precum și cu 2 ieșiri complementare **Q** respectiv  $\bar{Q}$ .

În figura 6.2.6 sunt reprezentate schema logică (a) și simbolul (b) unui bistabil asincron de tip JK.

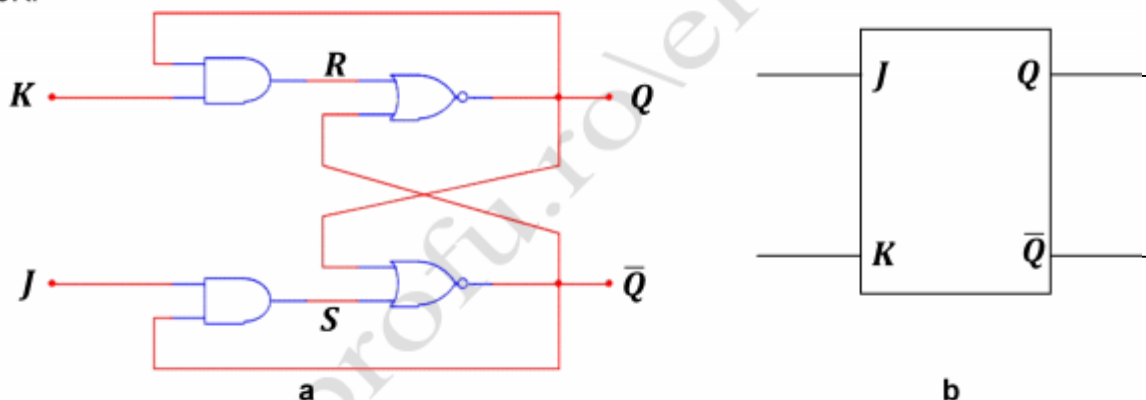


Figura 6.2.6 Bistabil asincron de tip JK

Pentru a înțelege funcționarea circuitului se studiază tabela de adevăr al circuitului prezentată mai jos (Tabelul 6.2.5).

Tabelul 6.2.5

J	K	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	$\bar{Q}_n$ Basculare

Indice n – valoare logică prezentă

Indice n+1 – valoare logică viitoare

X – stare de nedeterminare (interzisă)

La acest tip de bistabil este necesar ca durata semnalului de comandă să fie mai mare decât timpul de propagare printr-o poartă și mai mic decât timpul de propagare prin două porți.

## 2. Circuitul basculant bistabil de tip JK SINCRON

Circuitele JK sincrone sunt prevăzute cu intrare suplimentară de comandă numită **intrare de tact (CLK)**. Deoarece sunt circuite prevăzute cu reacție, pentru a nu intra în auto-oscilație, impulsul de tact trebuie să fie foarte scurt. Durata impulsului trebuie să fie mai mică decât timpul de propagare a informației de la intrare la ieșire.

În figura 6.2.7 sunt reprezentate schema logică (a) și simbolul (b) unui bistabil sincron de tip JK.

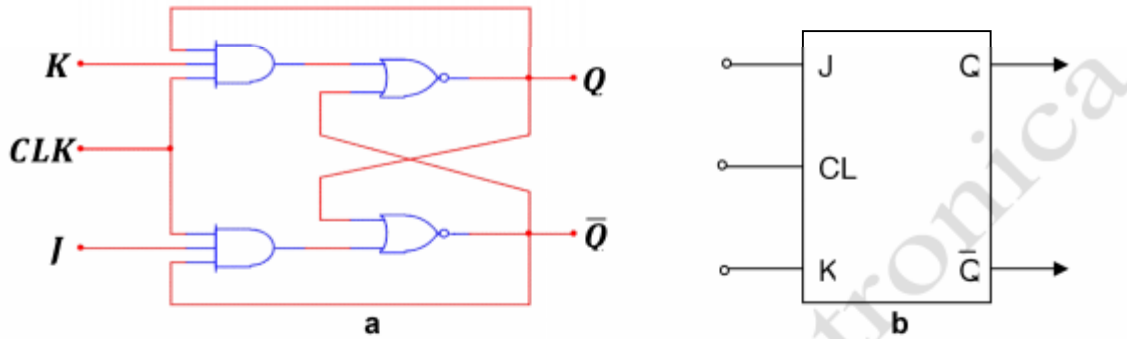


Figura 6.2.7 Bistabil sincron de tip JK

Pentru a înțelege funcționarea circuitului se studiază tabela de adevăr al circuitului prezentată mai jos (Tabelul 6.2.6).

Tabelul 6.2.6

$\overline{\text{CLK}}$	J	K	$Q_{n+1}$
	0	0	$Q_n$
	1	0	1
	0	1	0
	1	1	$\overline{Q}_n$
0	X	X	$Q_n$
0		0	1
1	0		0

Indice n – valoare logică prezentă

Indice n+1 – valoare logică viitoare

X – stare de nedeterminare (interzisă)

În figura 6.2.8 sunt prezentate simbolurile circuitelor JK sincrone cu activare pe front pozitiv (a) și pe front negativ (b).

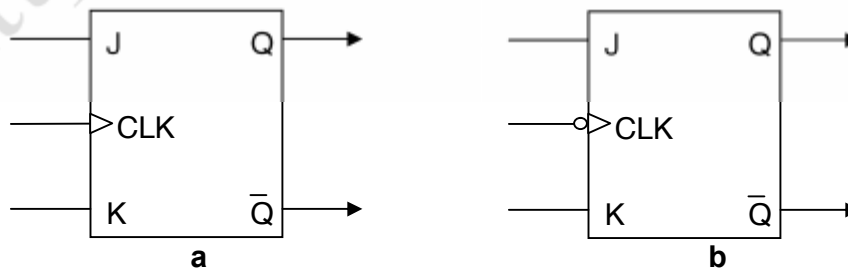


Figura 6.2.8 Simboluri bistabile sincrone de tip JK

### 3. Circuitul basculant bistabil de tip JK MASTER – SLAVE

Bistabilul JK Master – Slave este format din două latch-uri RS conectate în serie la care se realizează legături de reacție de la ieșiri către intrări. Circuitul este prevăzut cu 2 intrări de date  $J$  și  $K$  și o intrare de tact  $CLK$

În figura 6.2.9 sunt prezentate schema logică (a) și structura (b) bistabilului.

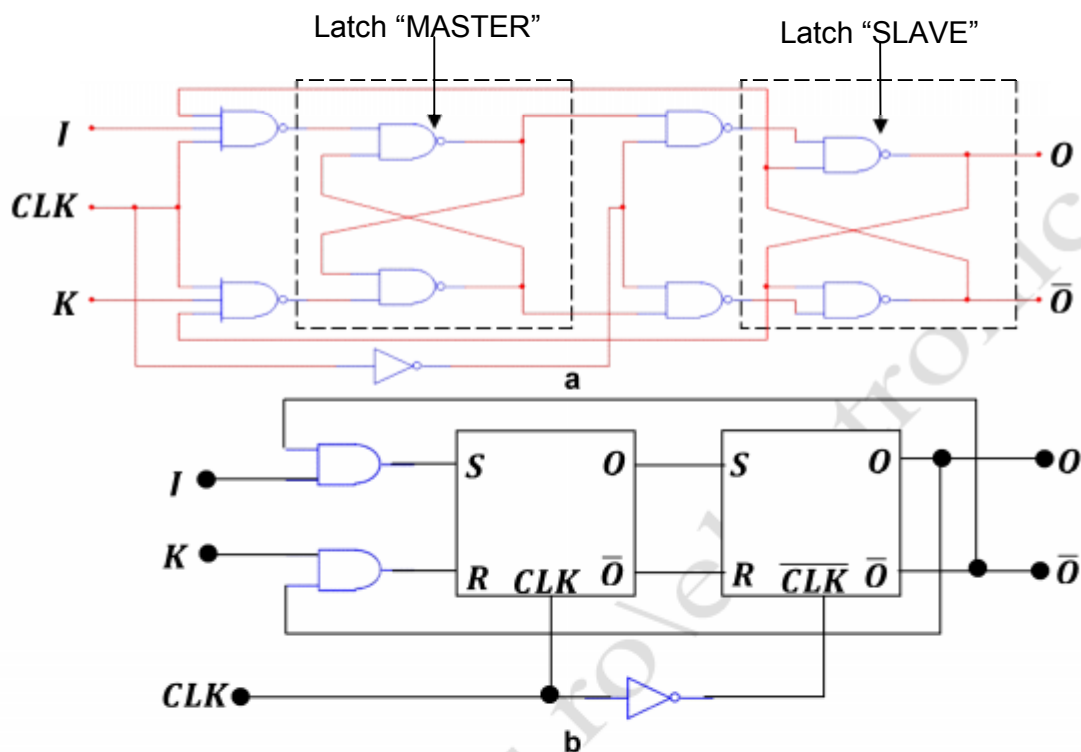


Figura 6.2.9 Schema logică și structura bistabilului JK Master – Slave

În figura 6.2.10 sunt prezentate 2 exemple de circuite bistabile JK Master-Slave.

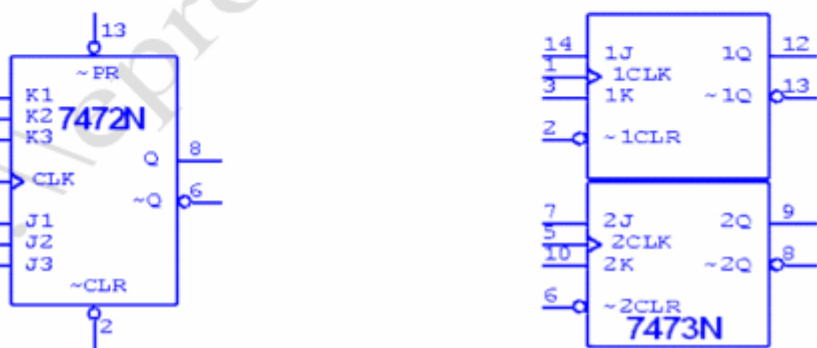


Figura 6.2.10 Exemple de circuite basculante bistabile JK

- **7472N** – este un bistabil JK cu 3 perechi de intrări de date, care comută pe frontul descrescător și este prevăzut cu 2 intrări asincrone  $\overline{PR}$  (Set) și  $\overline{CLR}$  (Reset) pentru aducerea circuitului în starea 1 respectiv 0.
- **7473N** – două bistabile JK care comută pe front descrescător, fiecare bistabil este prevăzut cu o intrare asincronă  $\overline{CLR}$  (Reset) pentru aducerea circuitului în 0.

### 6.2.3 CIRCUITE BASCULANTE BISTABILE DE TIP D

Circuitul basculant bistabil de tip D (Delay) se obține dintr-un CBB de tip RS sau JK prin conectarea unei porți inversoare între cele două intrări de date **RS** sau **JK**, în scopul eliminării stărilor nedeterminate. Prin atașarea porții inversoare între cele 2 intrări, acestea nu mai pot lua simultan valori identice, valorile lor vor fi mereu complementare.

În general un circuit bistabil de tip D este format din:

- o intrare de date **D (Delay)**
- o intrare de tact (**CLK**)
- 2 ieșiri complementare **Q** și  $\bar{Q}$
- 2 intrări asincrone, pentru forțarea comutării circuitului într-o anumită stare: **1** sau **0**
  - Intrarea **PR** echivalentă cu **SET** (inițializare) aduce circuitul în starea **1**
  - Intrarea **CLR** echivalentă cu **RESET** (ștergere) aduce circuitul în starea **0**

Intrările asincrone **PR** și **CLR** sunt specifice CBB de tip D construite în varianta Master – Slave.

Circuitele basculante bistabile de tip D, pot fi realizate în varianta sincronă, asincronă și Master-Slave.

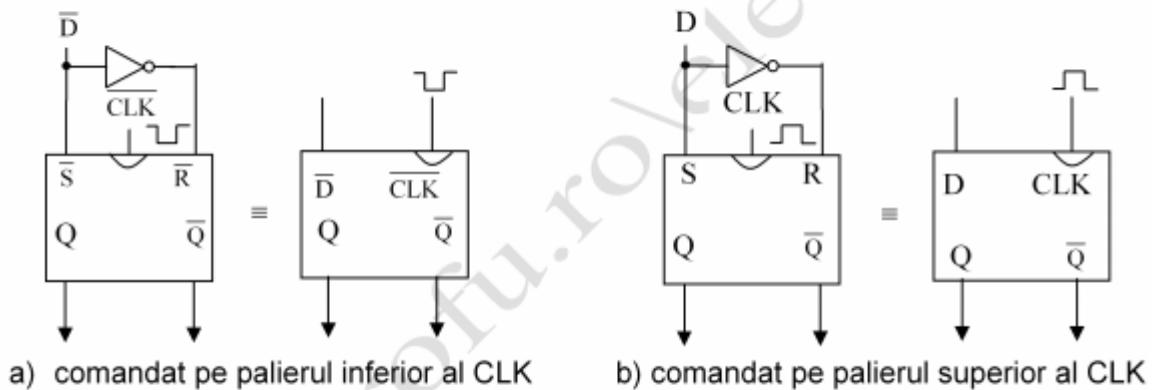


Figura 6.2.11 Circuite basculante bistabile de tip D sincrone

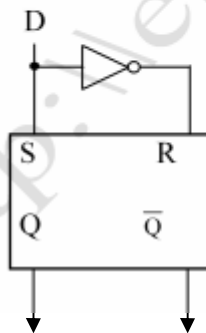


Figura 6.2.12 CBB – D asincron

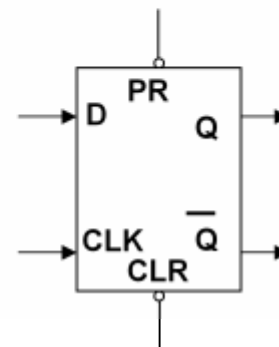


Figura 6.2.13 CBB – D Master-Slave

Circuitele basculante bistabile de tip D se utilizează cel mai frecvent la realizarea **registrelor de deplasare serie, paralel, serie-paralel**, care se vor studia în **subcapitolul 6.3**.

## 6.2.4 CIRCUITE BASCULANTE BISTABILE DE TIP T

Circuitul basculant bistabil de tip T (toggle) reprezintă cel mai simplu automat și se obține dintr-un CBB de tip RS sau JK prin conectarea împreună a celor două intrări de date **RS** sau **JK**.

Bistabilul de tip T are o singură intrare de date **T**, o intrare de tact **CLK** și două ieșiri complementare **Q** și  $\bar{Q}$ .

Familiiile curente de circuite integrate nu conțin bistabili de tip T, ei se obțin din CBB J-K de tip Master-Slave prin conectarea intrărilor J și K împreună. Prin conectarea împreună a intrărilor J și K,  $J_n=K_n=T_n$ , bistabilul basculează dintr-o stare în alta la comanda impulsului de tact **CLK**.

Bistabilul de tip T, este forțat să funcționeze doar în 2 situații:

- $J_n=K_n=T_n = 0 \Rightarrow Q_{n+1} = Q_n$
- $J_n=K_n=T_n = 1 \Rightarrow Q_{n+1} = \bar{Q}_n$

Dacă intrarea bistabilului T este în permanență **1 logic**, bistabilul basculează în starea opusă la fiecare impuls de tact, ceea ce înseamnă că tot la al doilea impuls revine în aceeași stare. Această proprietate recomandă utilizarea bistabilului T ca numărător (divizor) modulo doi, divizarea cu 2 a frecvenței de pe intrarea de tact (figura 6.2.14).

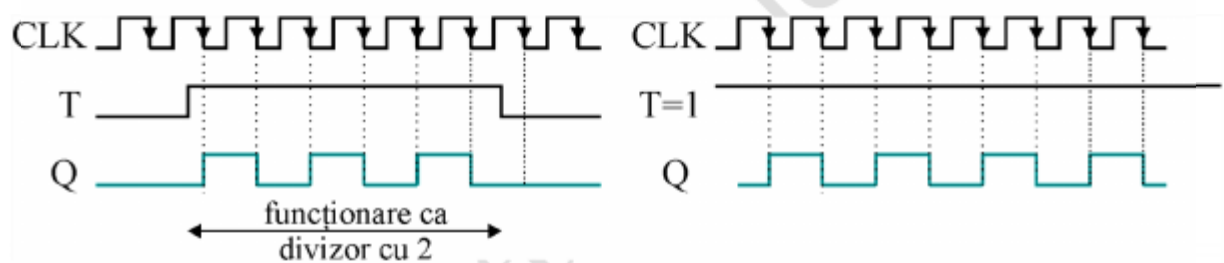


Figura 6.2.14 Funcționarea CBB-T (stânga) ca divizor de frecvență cu 2 (dreapta)

Prin inserierea a **n** bistabile de tip T se obține după fiecare bistabil o divizare a frecvenței cu puterile crescătoare ale lui 2, astfel:  $2^1, 2^2, 2^3, \dots, 2^n$ . Aceste circuite numite și numărătoare se vor studia în subcapitolul 6.4.

Funcționarea bistabilului de tip T se deduce din tabelul 6.2.7 și tabelul 6.2.8 iar simbolul bistabilului este prezentat în figura 6.2.15.

Tabelul 6.2.7

T	$Q_n$	$Q_{n+1}$
0	0	0
1	0	1
1	1	0
0	1	1

Tabelul 6.2.8

T	$Q_{n+1}$
0	$Q_n$
1	$\bar{Q}_n$

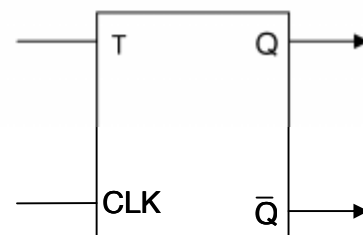


Figura 6.2.15 Simbolul CBB - T